

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-206571
(P2000-206571A)

(43) 公開日 平成12年7月28日 (2000.7.28)

(51) Int.Cl. ⁷	識別記号	F I	テラワード* (参考)
G 0 2 F 1/1365		G 0 2 F 1/136	5 0 0
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 D
21/336			

審査請求 未請求 請求項の数53 O L (全 35 頁)

(21) 出願番号 特願2000-160 (P2000-160)

(22) 出願日 平成12年1月4日 (2000.1.4)

(31) 優先権主張番号 1 9 9 8 P 6 3 7 5 9

(32) 優先日 平成10年12月31日 (1998.12.31)

(33) 優先権主張国 韓国 (K R)

(31) 優先権主張番号 1 9 9 9 P 6 6 0 2

(32) 優先日 平成11年2月27日 (1999.2.27)

(33) 優先権主張国 韓国 (K R)

(31) 優先権主張番号 1 9 9 9 P 5 0 0 4 8

(32) 優先日 平成11年11月11日 (1999.11.11)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 朴 雲 用

大韓民国京畿道水原市八達区梅灘1洞住公
5団地アパート521棟1107号

(72) 発明者 尹 鍾 秀

大韓民国忠清南道天安市九星洞473-15

(74) 代理人 100094145

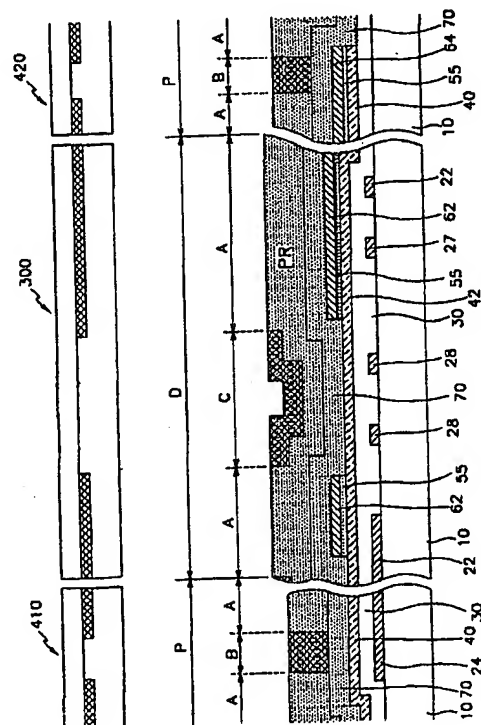
弁理士 小野 由己男 (外1名)

(54) 【発明の名称】 液晶表示装置用薄膜トランジスタ基板及びその製造方法

(57) 【要約】

【課題】 TFT用薄膜トランジスタ基板の製造工程を単純化する。

【解決手段】 保護膜を蒸着した後、その上に陽性の感光膜PRを塗布する。光透過度が画面表示部Dと周辺部Pとで異なるマスクを通して感光膜に光を照射してから現像し、厚さが異なる感光膜パターンを形成する。画面表示部Dの感光膜パターンは薄い部分Cと厚い部分Aとからなり、周辺部Pの感光膜パターンは厚い部分Aと厚さが異なる部分Bとからなる。乾式エッチング方法を使用して、周辺部Pの部分B、即ちゲートパッド24上の保護膜70、半導体層42、ゲート絶縁膜30及びデータパッド64の上の保護膜70を除去すると共に、画面表示部Dの部分A、即ちドレーン電極66、データ線の一部以外のデータ配線を覆う部分及びソースとドレーン電極との間を覆う部分の保護膜70は残し、部分Cの薄い感光膜とその下部の保護膜70及び半導体層42を除去する。



【特許請求の範囲】

【請求項1】画面表示部と周辺部とを含む絶縁基板上に、前記画面表示部のゲート線、ゲート電極及び前記周辺部のゲートパッドを含むゲート配線と、画面表示部の共通電極及び共通信号線を含む共通配線とを形成する段階と、

前記ゲートパッドの少なくとも一部分を露出し、かつ前記画面表示部内の前記基板及び前記ゲート配線とを覆うゲート絶縁膜パターンを形成する段階と、

前記ゲート絶縁膜パターン上に半導体層パターンを形成する段階と、

前記半導体層パターン上に接触層パターンを形成する段階と、

前記接触層パターン上に前記画面表示部内にデータ線、ソース電極及びドレーン電極とを、前記周辺部内にデータパッドを、それぞれ含むデータ配線を形成する段階と、

前記データ配線の上に保護絶縁膜パターンを形成する段階と、

前記ドレーン電極と連結され、かつ画素信号線と画素電極とを含む画素配線を形成する段階とを含み、

部分に応じて厚さが異なる感光膜パターンを使用して前記ゲート絶縁膜パターンを形成し、前記感光膜パターンを用いたエッチング過程で前記保護絶縁膜パターン及び前記半導体パターンを共に形成する液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項2】前記感光膜パターンは第1部分、前記第1部分より厚い第2部分、前記第2部分より厚い第3部分を有し、前記第1部分は前記ゲートパッドの上部に位置し、前記第2部分は前記画面表示部に位置する請求項1に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項3】前記感光膜パターンは前記保護絶縁膜の上に形成され、

前記ゲート絶縁膜パターン、前記半導体層パターン及び前記保護絶縁膜パターンを形成する段階は、

一度のエッチング工程を通して前記第1部分の下の前記保護絶縁膜及び前記半導体層をエッチングすると共に前記第2部分をエッチングする段階と、

アッシング工程を通して前記第2部分を除去し、第2部分の下の前記保護絶縁膜を露出させる段階と、

前記感光膜パターンをマスクとして前記保護絶縁膜及び前記ゲート絶縁膜をエッチングして前記第2部分の下の前記半導体層を露出させると共に前記第1部分の下のゲートパッドを露出させる第1接触窓を形成する段階と、

前記感光膜パターンをマスクとして用い、前記第2部分の下の前記半導体層を除去する段階と、

を含む請求項2に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項4】前記第1部分の下の前記保護絶縁膜及び前

記半導体層をエッチングする段階で、前記データパッドを露出させる第2接触窓を形成する請求項3に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項5】前記第1接触窓を形成する段階で、前記データパッドを露出させる第2接触窓を形成する請求項3に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項6】前記第1接触窓を形成する段階で、前記ドレーン電極を露出させる第2接触窓を形成する請求項3に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項7】前記第1部分の下の前記保護絶縁膜及び前記半導体層をエッチングする段階で、前記ドレーン電極を露出させる第2接触窓を形成する請求項3に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項8】前記画素電極を形成する段階で、露出されている前記ゲートパッドと前記データパッドとをそれぞれ覆う補助ゲートパッドと補助データパッドとを形成する請求項1に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項9】前記感光膜パターンを透過率の異なる光マスクを用いた露光によって形成し、前記第2部分に対応する前記光マスクの透過率は前記第1部分に対応する前記光マスクの透過率の20%ないし60%であり、前記第3部分に対応する前記光マスクの透過率は3%未満である請求項1に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項10】前記光マスクはマスク基板と少なくとも1つ以上のマスク層とを有し、前記第1部分及び前記第2部分に対応する部分の光透過率の差は前記マスク層を光透過率が互いに異なる物質から形成することによって調節する請求項9に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項11】前記光マスクはマスク基板と少なくとも1つ以上のマスク層とを有し、前記第1部分及び前記第2部分に対応する部分の光透過率の差は前記マスク層の厚さを変更することによって調節する請求項9に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項12】前記光マスクはマスク基板と少なくとも1つ以上のマスク層とを有し、前記第1部分及び前記第2部分に対応する部分の光透過率の差は前記マスク層に露光器の分解能より小さな大きさのスリットまたはグリッドパターンを形成することによって調節する請求項9に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項13】前記保護膜パターンは前記データ線の一部を露出させる第1接触窓を有しており、前記画素配線を形成する段階で、前記第1接触窓を通して前記データ線と連結される補助データ線を形成する請求項1に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項 14】前記感光膜パターンは陽性感光膜である請求項 1 に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項 15】ゲート線及びゲート線と連結されるゲート電極を含むゲート配線と、共通電極を含む共通配線とを絶縁基板の上に形成する段階と、

前記ゲート配線及び共通配線を覆うゲート絶縁膜を形成する段階と、

前記ゲート絶縁膜の上に半導体パターンを形成する段階と、

前記半導体パターンの上に接触層パターンを形成する段階と、

前記接触層の上に互いに分離されて形成されているソース電極及びドレイン電極と、前記ソース電極と連結されたデータ線を含むデータ配線とを形成する段階と、

前記ドレイン電極の一部以外の前記データ配線を覆う保護膜パターンを形成する段階と、

前記ドレイン電極と連結されて前記共通電極と共に電場を生成する画素電極を、前記データ配線と異なる層に形成する段階と、

を含み、

前記ソース及びドレイン電極の分離は感光膜パターンを用いた写真エッチング工程を通して行われ、前記感光膜パターンは前記ソース電極及びドレイン電極の間に位置する第 1 部分と前記第 1 部分より厚い第 2 部分と前記第 1 部分より薄い第 3 部分とを含む液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項 16】前記写真エッチング工程に使用されるマスクは、一番目の部分、前記一番目の部分より少ない光を透過させる二番目の部分及び前記一番目及び二番目の部分より多い光を透過させる三番目の部分を含み、

前記感光膜パターンは陽性感光膜であり、

前記マスクの一番目、二番目及び三番目の部分は、前記感光膜パターンの第 1、第 2 及び第 3 部分にそれぞれ対応するように露光過程で整列される請求項 15 に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項 17】前記一番目の部分は光の一部を透過させ、前記二番目の部分は光の大部分を遮断し、前記三番目の部分は光の大部分を透過させる請求項 16 に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項 18】前記マスクの一番目の部分は、半透明膜を含む請求項 17 に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項 19】前記マスクの一番目の部分は、前記露光段階で使用される光源の分解能より大きさが小さいパターンを含む請求項 17 に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項 20】前記感光膜パターンの第 1 部分を、リフローを通して形成する請求項 15 に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項 21】前記感光膜パターンの第 1 部分の厚さは前記第 2 部分の厚さの半分以下である請求項 15 に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項 22】前記感光膜パターンの第 2 部分の厚さは $1\ \mu\text{m}$ ないし $2\ \mu\text{m}$ である請求項 21 に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項 23】前記感光膜パターンの第 1 部分の厚さは $2,000\sim 5,000\text{\AA}$ の範囲である請求項 22 に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項 24】前記データ配線、前記接触層パターン及び前記半導体パターンを、1つのマスクを使用して形成する請求項 15 に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項 25】前記ゲート絶縁膜、前記半導体パターン、前記接触層パターン及び前記データ配線の形成段階は、

前記ゲート絶縁膜、半導体層、接触層及び導電層を蒸着する段階と、

前記導電層の上に感光膜を塗布する段階と、

前記感光膜を、前記マスクを通して露光する段階と、

前記感光膜を現像して前記第 2 部分が前記データ配線の上部に位置するように前記感光膜パターンを形成する段階と、

前記第 3 部分の下の前記導電層と当該導電層の下部の接触層と半導体層、前記第 1 部分と当該第 1 部分の下の前記導電層と接触層及び前記第 2 部分の一部をエッチングし、それぞれ前記導電層、前記接触層、前記半導体層からなる前記データ配線、前記接触層パターン及び前記半導体パターンを形成する段階と、

前記感光膜パターンを除去する段階とを含む請求項 24 に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項 26】前記データ配線、前記接触層パターン及び前記半導体パターンの形成段階は、

前記第 3 部分の下の前記導電層を湿式または乾式エッチングして前記接触層を露出させる段階と、

前記第 3 部分の下の接触層及び当該接触層の下の前記半導体層を前記第 1 部分と共に乾式エッチングし、前記第 3 部分の下の前記ゲート絶縁膜と前記第 1 部分の下の前記導電層とを露出させると共に、前記半導体層からなる前記半導体パターンを完成する段階と、

前記第 1 部分の下の前記導電層と当該導電層の下の前記接触層とをエッチングして除去することによって、前記データ配線と前記接触層パターンと、

を完成する段階とを含む請求項 25 に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項 27】前記第 1 部分は前記データ配線の周辺部に対応する部分をさらに含む請求項 26 に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項 28】前記ゲート配線は前記ゲート線に連結さ

れて外部から信号の伝達を受けるゲートパッドをさらに含み、前記データ配線は前記データ線に連結されて外部から信号の伝達を受けるデータパッドをさらに含み、前記保護膜パターン及び前記ゲート絶縁膜は前記ゲートパッド及び前記データパッドを露出させる第1及び第2接触窓を有しており、

前記第1及び第2接触窓を通して前記ゲートパッド及び前記データパッドと連結され前記画素電極と同一な層に補助ゲートパッド及び補助データパッドを形成する段階をさらに含む請求項15に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項29】前記保護膜パターンは前記データ線を露出させる第1接触窓を有しており、

前記第1接触窓を通して前記データ線と連結される補助データ線を、前記保護膜の上部に形成する段階をさらに含む請求項15に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項30】基板と、

前記基板の上に形成されており、横方向に伸びているゲート線と前記ゲート線に連結されたゲート電極とを含むゲート配線と、

前記基板の上に形成されており、前記ゲート線と同一な方向に伸びている共通信号線及び前記共通信号線に連結された共通電極を含む共通配線と、

前記基板の上に形成されており、前記共通電極と平行に配列されている画素電極を含む画素配線と、

前記ゲート配線、共通配線及び画素配線を覆っているゲート絶縁膜と、

前記ゲート絶縁膜の上に形成されており、半導体からなる半導体パターンと、

前記半導体パターンの上に形成されており縦方向に伸びているデータ線と、前記データ線に連結されたソース電極と、前記ソース電極と分離されて前記ゲート電極を中心にして前記ソース電極と対向するドレーン電極とを含むデータ配線と、

前記データ配線の上に形成されており、前記ゲート絶縁膜と共に前記ドレーン電極及び前記画素配線を露出させる第1接触窓を形成する保護膜パターンと、

前記保護膜パターンの上に形成されており、前記第1接触窓を通して前記ドレーン電極と前記画素配線とを連結する補助導電膜と、

を含む液晶表示装置用薄膜トランジスタ基板。

【請求項31】前記ゲート配線は前記ゲート線に連結されて外部から信号の伝達を受けるゲートパッドをさらに含み、前記データ配線は前記データ線に連結されて外部から信号の伝達を受けるデータパッドをさらに含み、前記保護膜パターン及び前記ゲート絶縁膜は前記ゲートパッド及び前記データパッドを露出させる第2及び第3接触窓を有しており、

前記第2及び第3接触窓を通して前記ゲートパッド及び

前記データパッドと連結され、かつ前記補助導電膜と同一な層に形成されている補助ゲートパッド及び補助データパッドをさらに含む、請求項30に記載の液晶表示装置用薄膜トランジスタ基板。

【請求項32】前記補助導電膜は、前記共通配線と重畳して維持容量を形成し透明な導電性物質であるITO(indium tin oxide)またはIZO(indium zinc oxide)からなる請求項30に記載の液晶表示装置用薄膜トランジスタ基板。

【請求項33】前記保護膜パターンは前記データ線を露出させる第2接触窓を有しており、

前記第2接触窓を通して前記データ線と連結されており、前記補助導電膜と同一な層に形成されている補助データ線をさらに含む請求項30に記載の液晶表示装置用薄膜トランジスタ基板。

【請求項34】前記補助データ線及び前記補助導電膜は、透明な導電物質からなる請求項33に記載の液晶表示装置用薄膜トランジスタ基板。

【請求項35】前記半導体パターンと前記データ配線との間に形成されており、不純物がドーピングされている接触層パターンをさらに含む、請求項30に記載の液晶表示装置用薄膜トランジスタ基板。

【請求項36】前記接触層パターンは前記データ配線と同一な形態を有する、請求項35に記載の液晶表示装置用薄膜トランジスタ基板。

【請求項37】前記半導体パターンは薄膜トランジスタのチャンネル部以外は前記データ配線と同一な形態である請求項30に記載の液晶表示装置用薄膜トランジスタ基板。

【請求項38】前記半導体パターンは前記データ配線の外に出るように形成されている請求項30に記載の液晶表示装置用薄膜トランジスタ基板。

【請求項39】ゲート線及びゲート線と連結されたゲート電極を含むゲート配線と、共通電極を含む共通配線とを、絶縁基板の上に形成する段階と、

前記ゲート配線及び共通配線を覆うゲート絶縁膜を形成する段階と、

前記ゲート絶縁膜の上に半導体パターンを形成する段階と、

前記半導体パターンの上に接触層パターンを形成する段階と、

前記接触層の上に、互いに分離されて形成されているソース電極及びドレーン電極と前記ソース電極と連結されたデータ線とを含むデータ配線を形成する段階と、

前記ドレーン電極の一部を除いて前記データ配線を覆う保護膜パターンを形成する段階と、

前記ドレーン電極と連結されて前記共通電極と共に電場を生成する画素電極を形成する段階とを含み、

前記ソース及びドレーン電極の分離は感光膜パターンを用いた写真エッチング工程を通して行われ、前記感光膜

パターンは前記ソース電極及びドレーン電極の間及び少なくとも前記画素電極の周辺部に位置する第1部分と、前記第1部分より厚い第2部分と、前記第1部分より薄い第3部分とを含む液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項40】前記半導体パターンの一部は少なくとも前記画素電極の外に出るように形成する、請求項39に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項41】前記感光膜パターンを感光度が互いに異なる上部膜及び下部膜からなる二重膜から形成する、請求項39に記載の液晶表示装置用薄膜トランジスタ基板の製造方法。

【請求項42】絶縁基板と、

前記基板の上に形成されており、横方向のゲート線及び前記ゲート線の一部であるゲート電極を含むゲート配線と、前記ゲート線と平行な共通信号線及び前記共通信号線に連結されて縦方向に伸びている線形の共通電極を含む共通配線と、

前記共通配線及び前記ゲート配線を覆うゲート絶縁膜と、

前記ゲート絶縁膜の上部に形成されており、一部は前記ゲート電極と重畳している半導体パターンと、

前記半導体パターンの上部に形成されており、縦方向に形成されて前記ゲート線と交差するデータ線と、前記データ線と連結されているソース電極と、前記ソース電極と分離されており前記ゲート電極を中心にいて前記ソース電極と対向するドレーン電極とを含むデータ配線及び前記ドレーン電極と連結されており前記共通電極と平行に対向する線形の画素電極を含む画素配線とを含み、少なくとも前記画素電極の下部に形成された前記半導体パターンは前記画素電極の外に出るように形成されている、液晶表示装置用薄膜トランジスタ基板。

【請求項43】前記半導体パターンは前記画素電極の外に0.5 μm 以上出るように形成されている、請求項42に記載の液晶表示装置用薄膜トランジスタ基板。

【請求項44】前記ゲート配線は前記ゲート線と連結されて外部から走査信号の印加を受けるゲートパッドをさらに含み、

前記データ配線は前記データ線と連結されて外部からデータ信号の印加を受けるデータパッドをさらに含み、前記ゲート絶縁膜と共に前記ゲートパッド及び前記データパッドをそれぞれ露出させる接触窓を有する保護膜をさらに含む、請求項42に記載の液晶表示装置用薄膜トランジスタ基板。

【請求項45】前記ドレーン電極と前記画素電極とを連結する画素信号線をさらに含み、

前記画素信号線は横方向に伸びている、請求項44に記載の液晶表示装置用薄膜トランジスタ基板。

【請求項46】基板と、

前記基板の上に形成されており、横方向に伸びているゲート線と前記ゲート線に連結されたゲート電極とを含むゲート配線と、

前記基板の上に形成されており、前記ゲート線と同一な方向に伸びている共通信号線及び前記共通信号線に連結された共通電極を含む共通配線と、

前記ゲート配線及び共通配線を覆っているゲート絶縁膜と、

前記ゲート絶縁膜の上に形成されており、半導体からなる半導体パターンと、

前記半導体パターンの上に形成されており、かつ縦方向に伸びているデータ線と、前記データ線に連結されたソース電極と、前記ソース電極と分離されて前記ゲート電極を中心にして前記ソース電極と対向するドレーン電極とを含むデータ配線と、

前記データ配線及び前記半導体パターンの一部を覆っており、前記ドレーン電極を露出させる第1接触窓を有する保護膜パターンと、

前記保護膜パターンの上に形成され前記共通電極と平行に配列されて電場を形成する画素電極と、前記第1接触窓を通して前記画素電極と前記ドレーン電極とを連結する画素信号線とを含む画素配線と、

を含む液晶表示装置用薄膜トランジスタ基板。

【請求項47】前記ゲート配線は前記ゲート線に連結されて外部から信号の伝達を受けるゲートパッドをさらに含み、前記データ配線は前記データ線に連結されて外部から信号の伝達を受けるデータパッドをさらに含み、前記保護膜パターン及び前記ゲート絶縁膜は前記ゲートパッド及び前記データパッドを露出させる第2及び第3接触窓を有しており、

前記第2及び第3接触窓を通して前記ゲートパッド及び前記データパッドと連結され、かつ前記画素配線と同一な層に形成されている補助ゲートパッド及び補助データパッドをさらに含む、請求項46に記載の液晶表示装置用薄膜トランジスタ基板。

【請求項48】前記画素配線は前記共通配線と重畳して維持容量を形成する、請求項47に記載の液晶表示装置用薄膜トランジスタ基板。

【請求項49】前記保護膜パターンは前記データ線を露出させる第2接触窓を有しており、

前記第2接触窓を通して前記データ線と連結されており、前記画素配線と同一な層に形成されている補助データ線をさらに含む、請求項46に記載の液晶表示装置用薄膜トランジスタ基板。

【請求項50】前記半導体パターンと前記データ配線との間に形成されており、不純物がドーピングされている接触層パターンをさらに含む、請求項46に記載の液晶表示装置用薄膜トランジスタ基板。

【請求項51】前記接触層パターンは前記データ配線と同一な形態を有する、請求項50に記載の液晶表示装置

用薄膜トランジスタ基板。

【請求項52】前記半導体パターンは薄膜トランジスタのチャンネル部以外は前記データ配線と同一な形態である、請求項46に記載の液晶表示装置用薄膜トランジスタ基板。

【請求項53】前記半導体パターンは前記データ配線の外に出るように形成されている、請求項46に記載の液晶表示装置用薄膜トランジスタ基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置用薄膜トランジスタ基板及びその製造方法に関する。

【0002】

【従来の技術】液晶表示装置は現在最も広く使用されている平板表示装置の1つであって、電場を形成するための2つの電極が形成されている2枚の基板とその間に挿入されている液晶層とからなり、電極に電圧を印加して液晶層の液晶分子を再配列させることで光の透過量を調節する表示装置である。

【0003】2つの電極はそれぞれの基板に全て形成されることもでき、1つの基板に全て形成されることもできる。この時、スイッチング素子として、薄膜トランジスタを有する基板には少なくとも1つの電極が形成されている。一般に、液晶表示装置の薄膜トランジスタ基板には、多数の画素電極と、画素電極に伝達される画像信号を制御する多数の薄膜トランジスタが形成されている。このような薄膜トランジスタ基板は多数のマスクを利用した写真エッチング工程で製作されるが、生産費用を節減するためには写真エッチング工程の数を減少させるのが好ましく、現在は通常5または6回の写真エッチング工程によって完成される。

【0004】4回の写真エッチング工程で液晶表示装置を製造する多様な方法が韓国特許出願第95-189号で提案されている。しかし、実際に液晶表示装置の基板を完成するためには、それぞれの薄膜トランジスタに電気的信号を伝達するための配線が必要であり、各配線を外部の駆動回路に電気的に接続させるためのパッドが必ず必要であるため、パッドを含んだ製造工程を提示しなければならない。しかし、韓国特許出願第95-189号にはパッドを形成する方法が記載されていない。

【0005】また、他の従来の技術として、A TFT Manufactured by 4Masks Process with New Photolithography (Chang Wook Hanなど、Proceedings of The 18th International Display Research Conference Asia Display 98, p. 1109-1112, 1998. 9.28-10.1) (以下、“アジアディスプレイ”と称する)に4枚のマスクを用いて薄膜トランジスタを製造する方法が記載されている。

【0006】

【発明が解決しようとする課題】一方、画素に印加された電圧を長時間保存するために維持蓄電器を形成する場

合が普通である。維持蓄電器は、ゲート電極及びゲート線と同一な層に形成された維持容量電極と、保護膜上に形成された画素電極とを重畳して形成する。ここで、維持容量電極はゲート絶縁膜、半導体層及び保護膜で覆われており、画素電極は下部のゲート絶縁膜無しで直接基板上に形成されている。このため画素電極を維持容量電極と重畳させるためには画素電極を基板上からゲート絶縁膜、半導体層及び保護膜からなる三層膜上にあげなければならないため段差が激しくなって断線が発生するおそれがある。

【0007】一方、前記韓国出願第95-198号に示すように、従来の一般的な写真エッチング工程は、感光膜を2つの部分、即ち、光に照射される部分と照射されない部分とに分けて露光させた後に現像することによって、感光膜が全然なかったり一定の厚さで存在したりする。これによってエッチング深さも一定である。しかし、“Han et al.”には特定の部分のみにグリッドが存在するマスクを使用して陽の感光膜を露光することによって、グリッド部分に照射される光の量を減少させて他の部分より厚さの薄い部分が存在する感光膜パターンを形成する技術が記載されている。このような状態でエッチングを行うと、感光膜の下部膜のエッチング深さが異なるようになる。しかし、Han et al.の場合にはグリッドマスクで処理し得る領域が限定されているため広範囲な領域を処理することができなかったり、広範囲な領域を処理することができても全体的に均一なエッチング深さを有するように処理することは困難である。

【0008】また、米国特許第4,231,811号、第5,618,643号、第4,415,262号及び日本国特開昭61-181130号などにもHan et al.の技術と類似した製造方法が開示すが、同一な問題点を有している。本発明は前記問題点を解決するためのものであって、その目的は、液晶表示装置用薄膜トランジスタ基板の製造工程を単純化することによって製造原価を節減し収率を向上させることにある。

【0009】本発明の他の目的は、広い面積を互いに異なる高さのエッチングすると共に1つのエッチング深さにおいては均一なエッチング深さを有するようにすることにある。

【0010】

【課題を解決するための手段】本発明は前記のような課題を解決するために、一度の写真工程で部分的に異なる厚さを有する感光膜パターンを形成してゲートパッドを露出させる接触窓を少なくとも1つ以上の他の薄膜と共にパターニングしたり、データ配線とその下部の半導体パターンを共にパターニングして形成する。

【0011】この時、半導体パターンはデータ配線の外に出るように形成することができる。具体的には、画面表示部と周辺部とを含む絶縁基板の上に前記画面表示部のゲート線及びゲート電極と前記周辺部のゲートパッド

を含むゲート配線と画面表示部の共通電極及び共通信号線を含む共通配線とを形成する。次いで、ゲートパッドの少なくとも一部分は覆わず、画面表示部の基板とゲート配線とを覆うゲート絶縁膜パターンの上に半導体層パターンと接触層パターンとを形成する。次いで、接触層パターンの上に画面表示部のデータ線とソース電極及びドレーン電極と周辺部のデータパッドとを含むデータ配線を形成し、データ配線の上に保護絶縁膜パターンを形成する。次いで、ドレーン電極と連結され画素信号線と画素電極とを含む画素配線を形成する。この時、ゲート絶縁膜パターンは部分に応じて厚さが異なる感光膜パターンを使用して形成し、感光膜パターンを用いたエッチング過程で保護絶縁膜パターン及び半導体パターンを共に形成する。

【0012】ここで、感光膜パターンは第1部分、第1部分より厚い第2部分、第2部分より厚い第3部分を有し、第1部分はゲートパッドの上部に位置し第2部分は前記画面表示部に位置するように整列するのが好ましい。感光膜パターンは前記保護絶縁膜の上に形成され、ゲート絶縁膜パターン、半導体層パターン及び保護絶縁膜パターンを形成するためには、まず、一度のエッチング工程を通して第1部分の下保護絶縁膜及び半導体層をエッチングすると共に第2部分をエッチングする。次いで、アッシング工程を通して第2部分を除去してその下の保護絶縁膜を露出させた後、感光膜パターンをマスクとして保護絶縁膜及びゲート絶縁膜をエッチングして第2部分の下半導体層を露出させると共に第1部分の下ゲートパッドを露出させる第1接触窓を形成する。次いで、感光膜パターンをマスクとして第2部分で前記半導体層を除去する。

【0013】第1部分の保護絶縁膜及び半導体層をエッチングする段階でデータパッドを露出させる第2接触窓を形成することができ、第1接触窓を形成する段階でデータパッドを露出させる第2接触窓を形成することもできる。また、第1接触窓を形成する段階でドレーン電極を露出させる第2接触窓を形成することができ、第1部分の保護絶縁膜及び半導体層をエッチングする段階でドレーン電極を露出させる第2接触窓を形成することもできる。

【0014】また、画素電極を形成する段階で露出されているゲートパッドとデータパッドとをそれぞれ覆う補助ゲートパッドと補助データパッドとを形成することができる。感光膜パターンは透過率の異なる光マスクを用いた露光によって形成することができ、第2部分に対応する光マスクの透過率は第1部分に対応する光マスクの透過率の20%ないし60%であり、第3部分に対応する光マスクの透過率は3%未満であるのが好ましい。

【0015】この時、光マスクはマスク基板と少なくとも1つ以上のマスク層とを有し、第1部分及び第2部分に対応する部分の光透過率の差はマスク層を光透過率が

互いに異なる物質から形成することによって調節することができ、マスク層の厚さを変更することによって調節することができ、マスク層に露光器の分解能より小さな大きさのスリットまたはグリッドパターンを形成することによって形成することもできる。

【0016】保護膜パターンはデータ線の一部を露出させる多数の第1接触窓を有しており、画素配線を形成する段階で第1接触窓を通してデータ線と連結される補助データ線を形成することができる。ここで、感光膜パターンは陽性感光膜であるのが好ましい。本発明による他の製造方法では、まず、絶縁基板の上にゲート線及びこれと連結されるゲート電極を含むゲート配線と共通電極を含む共通配線とを形成する。次いで、ゲート配線及び共通配線を覆うゲート絶縁膜、半導体パターン、半導体パターンの上に抵抗性接触層パターンを形成し、接触層の上に互いに分離されて形成されているソース電極とドレーン電極及びソース電極と連結されたデータ線を含むデータ配線を形成する。次いで、ドレーン電極の一部以外の前記データ配線を覆う保護膜パターンを形成し、ドレーン電極と連結されて前記共通電極と共に電場を生成し、前記データ配線と異なる層に画素電極を形成する。この時、ソース及びドレーン電極の分離は感光膜パターンを用いた写真エッチング工程を通して行われ、感光膜パターンはソース電極及びドレーン電極の間に位置する第1部分と第1部分より厚い第2部分及び第1部分より薄い第3部分を含む。

【0017】写真エッチング工程に使用されるマスクは一番目の部分、一番目の部分より少ない光を透過させる二番目の部分及び一番目及び二番目の部分より多い光を透過させる三番目の部分を含むのが好ましい。感光膜パターンは陽性感光膜であるのが好ましく、マスクの一番目、二番目、三番目の部分は露光過程で感光膜パターンの第1、第2、第3部分にそれぞれ対応するように整列されるのが好ましい。

【0018】ここで、一番目の部分は光の一部分のみが透過されることができ、二番目の部分は光の大部分が遮断され、三番目の部分は光の大部分が透過されることができる。この時、マスクの一番目の部分は光の一部のみを透過させるために半透明膜を含むことができ、露光段階で使用される光源の分解能より大きさが小さいパターンを含むことができる。

【0019】感光膜パターンの第1部分はリフローを通して形成することができる。ここで、感光膜パターンの第1部分の厚さは第2部分の厚さの半以下であるのが好ましく、感光膜パターンの第2部分の厚さは1 μ mないし2 μ mであり、感光膜パターンの第1部分の厚さは2,000~5,000Åの範囲であるのが好ましい。

【0020】データ配線と接触層パターン及び半導体パターンを1つのマスクを使用して形成することができ、この時、ゲート絶縁膜、前記半導体パターン、前記

接触層パターン及び前記データ配線を形成するためには、まず、ゲート絶縁膜、半導体層、接触層及び導電層を蒸着する。次いで、導電層の上に感光膜を塗布し、マスクを通して露光し、現像して第2部分がデータ配線の上部に位置するように感光膜パターンを形成する。次いで、第3部分の下の導電層とその下部の接触層及び半導体層、第1部分とその下の導電層及び接触層、そして第2部分の一部の厚さをエッチングしてそれぞれ導電層、接触層、半導体層からなるデータ配線、接触層パターン、半導体パターンを形成し、感光膜パターンを除去する。

【0021】より詳しくは、データ配線、接触層パターン、半導体パターンを形成するためには、まず、第3部分の下導電層を湿式または乾式エッチングして接触層を露出させ、第3部分の下の接触層及びその下の半導体層を第1部分と共に乾式エッチングして第3部分の下導電層を露出させると共に半導体層からなる半導体パターンを完成する。次いで、アッシング工程を通して第1部分を除去してその下の導電層を露出させ、第1部分の下導電層とその下の接触層とをエッチングして除去することによってデータ配線と接触層パターンとを完成する。

【0022】第1部分はデータ配線の周辺部に対応する部分にも形成することができる。保護膜パターンはデータ線を露出させる第1接触窓を有しており、保護膜の上部に第1接触窓を通して前記データ線と連結され画素電極と同一な層に補助データ線を形成することができる。このような方法で製造された液晶表示装置用薄膜トランジスタ基板には、基板の上に横方向に伸びているゲート線とゲート線に連結されたゲート電極とを含むゲート配線と；ゲート線と同一な方向に伸びている共通信号線及び共通信号線に連結された共通電極を含む共通配線と；共通電極と平行に配列されている画素電極を含む画素配線とが形成されている。ゲート配線、共通配線及び画素配線を覆っているゲート絶縁膜の上には半導体からなる半導体パターンが形成されており、その上には縦方向に伸びているデータ線、データ線に連結されたソース電極、ソース電極と分離されてゲート電極を中心にしてソース電極と対向するドレイン電極を含むデータ配線が形成されている。データ配線の上にはゲート絶縁膜と共にドレイン電極及び画素配線を露出させる第1接触窓を有する保護膜パターンが形成されており、保護膜パターンの上には第1接触窓を通してドレイン電極と画素配線とを連結する補助導電膜が形成されている。

【0023】補助導電膜は共通配線と重畳して維持容量を形成するのが好ましく、透明な導電性物質であるITO (indium tin oxide) またはIZO (indium zinc oxide) からなるものが好ましい。保護膜パターンはデータ線を露出させる第2接触窓を有することができ、第2接触窓を通してデータ線と連結されており、補助導電膜

と同一な層に補助データ線がさらに形成されることができる。

【0024】半導体パターンとデータ配線の間には不純物でドーピングされている抵抗性接触層パターンがさらに形成されることができ、接触層パターンはデータ配線と同一な形態を有することができる。半導体パターンは、薄膜トランジスタチャンネル部以外はデータ配線と同一な形態を有することができる。

【0025】この時、半導体パターンはデータ配線の外に出るように形成されることができる。本発明の他の製造方法では、絶縁基板の上にゲート線及びこれと連結されたゲート電極を含むゲート配線と共通電極を含む共通配線とを形成する。ゲート配線及び共通配線を覆うゲート絶縁膜の上部に半導体パターン及び抵抗性接触層パターンを形成し、接触層の上に互いに分離されて形成されているソース電極とドレイン電極及びソース電極と連結されたデータ線を含むデータ配線を形成する。次いで、ドレイン電極の一部以外のデータ配線を覆う保護膜パターンを形成し、ドレイン電極と連結されて共通電極と共に電場を生成する画素電極を形成する。この時、ソース及びドレイン電極の分離は感光膜パターンを用いた写真エッチング工程を通して行われ、前記感光膜パターンはソース電極及びドレイン電極の間及び少なくとも画素電極の周辺部に位置する第1部分と第1部分より厚い第2部分及び第1部分より薄い第3部分を含む。

【0026】ここで、半導体パターンの一部は少なくとも画素電極の外に出るように形成するのが好ましい。感光膜パターンは感光度が互いに異なる上部膜及び下部膜からなる二重膜から形成するのが好ましい。このような方法で形成された液晶表示装置用薄膜トランジスタ基板には、基板の上に横方向のゲート線及びゲート線の一部であるゲート電極を含むゲート配線と、ゲート線と平行な共通信号線及び共通信号線に連結されて縦方向に伸びている線形の共通電極を含む共通配線とが形成されている。共通配線及びゲート配線を覆うゲート絶縁膜の上には一部は前記ゲート電極と重畳している半導体パターンが形成されており、半導体パターンの上部には縦方向に伸びて前記ゲート線と交差するデータ線とデータ線と連結されているソース電極とソース電極と分離されておりゲート電極を中心にしてソース電極と対向するドレイン電極を含むデータ配線及びドレイン電極と連結されており共通電極と平行に対向する線形の画素電極を含む画素配線が形成されている。この時、少なくとも画素電極の下部に形成された半導体パターンは画素電極の外に出るように形成されている。

【0027】ここで、半導体パターンは画素電極の外に0.5 μm 以上出るのが好ましい。ゲート配線はゲート線と連結されて外部から走査信号の印加を受けるゲートパッドをさらに含み、データ配線はデータ線と連結されて外部からデータ信号の印加を受けるデータパッドをさ

らに含み、ゲート絶縁膜と共にゲートパッド及びデータパッドをそれぞれ露出させる接触窓を有する保護膜をさらに含むことができる。

【0028】画素配線はドレーン電極と画素電極とを連結する画素信号線をさらに含むことができ、画素信号線は横方向に伸びているのが好ましい。本発明による他の液晶表示装置用薄膜トランジスタ基板には、基板の上に横方向に伸びているゲート線とゲート線に連結されたゲート電極とを含むゲート配線と；ゲート線と同一な方向に伸びている共通信号線及び共通信号線に連結された共通電極を含む共通配線とが形成されている。ゲート配線及び共通配線を覆っているゲート絶縁膜の上部には半導体からなる半導体パターンが形成されており、その上には縦方向に伸びているデータ線、データ線に連結されたソース電極、ソース電極と分離されてゲート電極を中心にしてソース電極と対向するドレーン電極を含むデータ配線が形成されている。データ配線及び半導体パターンの一部を覆っており、ドレーン電極を露出させる第1接触窓を有する保護膜パターンの上部には第1接触窓を通してドレーン電極と連結されており、共通電極と平行に配列されて電場を形成する画素電極と、画素電極とドレーン電極とを連結する画素信号線を含む画素配線が形成されている。

【0029】画素配線は共通配線と重畳して維持容量を形成するのが好ましい。保護膜パターンはデータ線を露出させる第2接触窓を有することができ、第2接触窓を通してデータ線と連結されており画素配線と同一な層に形成されている補助データ線をさらに含むことができる。

【0030】

【発明の実施の形態】以下、本発明の実施形態例について添付図面に基づいて詳しく説明する。第1実施形態例では、ゲートパッドを露出させる接触窓を他の1つ或いは複数の薄膜と同時にパターンニングし、画面表示部では他の薄膜のみをパターンニングしゲート絶縁膜を残し、ゲートパッド部ではゲート絶縁膜を完全に除去する。

【0031】まず、図1ないし5に基づいて本発明の実施形態例による薄膜トランジスタ基板の構造について詳しく説明する。図1に示すように、1つの絶縁基板に同時に多数の液晶表示装置用パネル領域を形成する。例えば、図1のように、1つのガラス基板1に4つの液晶表示装置用パネル領域110、120、130、140を形成する。形成されるパネルが薄膜トランジスタパネルである場合、パネル領域110、120、130、140は多数の画素からなる画面表示部111、121、131、141と周辺部112、122、132、142とを含む。画面表示部111、121、131、141には、主に薄膜トランジスタ、配線及び画素電極などが行列の形態に反復して配置されている。周辺部112、122、132、142には、駆動素子と連結される要

素、即ち、パッドとその外の静電気保護回路などが配置される。

【0032】このような液晶表示装置を形成する時には、通常、ステッパー (stepper) 露光器を使用する。この露光器を使用する場合、画面表示部111、121、131、141及び周辺部112、122、132、142を多数の区域に分け、区域別に同一のマスクまたは異なる光マスクを使用して薄膜上にコーティングされた感光膜を露光し、露光した後に基板全体を現像して感光膜パターンを形成してから、下部の薄膜をエッチングすることによって特定の薄膜パターンを形成する。このような薄膜パターンを反復して形成することによって液晶表示装置用薄膜トランジスタ基板が完成される。

【0033】しかし、ステッパー露光器を使用せずに一度に露光することもできる。また、1つの絶縁基板に1つの液晶表示パネルのみを形成することもできる。図2は図1の1つのパネル領域に形成された液晶表示装置用薄膜トランジスタ基板の配置を概略的に示した配置図である。図2に示すように、一点鎖線1に囲まれた画面表示部には多数の薄膜トランジスタ3と、それぞれの薄膜トランジスタ3に電気的に連結されている画素電極90と、ゲート線22及びデータ線62を含む配線などが形成されている。画面表示部の外の周辺部には、ゲート線22の端に連結されたゲートパッド24とデータ線62の端に連結されたデータパッド64とが配置されている。静電気放電による素子破壊を防止するために、ゲート線22及びデータ線62をそれぞれ電気的に連結して等電位に形成するためのゲート線短絡バー4及びデータ線短絡バー5が配置されている。ゲート線短絡バー4及びデータ線短絡バー5は短絡バー連結部6を通じて電気的に連結されている。この短絡バー4、5は後で除去される。これらを除去する時に基板を除去する線が図面の符号2である。又は、ゲート線短絡バー4及びデータ線短絡バー5と、絶縁膜(図示していない)を間においている短絡バー連結部6とを連結するために絶縁膜に形成されている。

【0034】図2では薄膜トランジスタ基板に画素電極のみが形成されている場合を例としてあげたが、次の具体的な実施形態例では画素電極及び共通電極の両方が全て薄膜トランジスタ基板に形成されている場合を例としてあげる。図3ないし5は、図2の画面表示部の薄膜トランジスタと画素電極、共通電極及び配線と周辺部のパッドを拡大して示したものであって、図3は配置図であり、図4及び5は図3のIV-IV'線及びV-V'線の断面図である。

【0035】まず、絶縁基板10の上にアルミニウム (Al) またはアルミニウム合金 (Al alloy)、モリブデン (Mo) またはモリブデン-タングステン (MoW) 合金、クロム (Cr)、タンタル (Ta) などの金属または導電体からなるゲート配線が形成されている。

ゲート配線は、横方向に伸びている走査信号線またはゲート線22、ゲート線22の端に連結されて外部からの走査信号の印加を受けてゲート線22に伝達するゲートパッド24及びゲート線22の一部である薄膜トランジスタのゲート電極26を含む。

【0036】また、基板10の上にはゲート配線と同一な物質からなる共通配線が形成されている。共通配線はゲート線22と平行に横方向に伸びている共通電極線27と、共通電極線27の縦方向の分枝である共通電極28とを含む。図示してはいないが、共通電極線27の端に形成されて共通電極信号の印加を受けて共通電極線27に伝達する共通電極線パッドが、ゲートパッド24とほぼ同一な形態に形成されている。

【0037】ゲート配線22、24、26は単一層から形成することもできるが、二重層または三重層から形成することもできる。二重層以上に形成する場合には、一層は抵抗の小さい物質から形成し、他の層は他の物質との接触特性の良好な物質から形成するのが好ましい。ゲート配線22、24、26及び共通配線27、28の上には窒化珪素 (SiN_x) などからなるゲート絶縁膜30が形成され、ゲート配線22、24、26及び共通配線27、28を覆っている。

【0038】ゲート絶縁膜30の上には水素化アモルファスシリコン (hydrogenated amorphous silicon) などの半導体からなる半導体パターン42、48が形成されている。半導体パターン42、48の上にはリン (P) などのn型不純物で高濃度にドーピングされている接触層パターン55、56が形成されている。接触層パターン55、56の上には、MoまたはMoW合金、Cr、AlまたはAl合金、Taなどの導電物質からなるデータ配線が形成されている。データ配線は、縦方向に形成されているデータ線62と、データ線62の一端に連結されて外部からの画像信号の印加を受けるデータパッド64と、データ線62の分枝である薄膜トランジスタのソース電極65とからなるデータ線部を含む。また、データ線部62、64、65と分離されておりゲート電極26に対してソース電極65の反対側に位置する薄膜トランジスタのドレーン電極66もデータ配線を含む。

【0039】データ配線62、64、65、66もゲート配線22、24、26と同様に単一層から形成することもできるが、二重層または三重層から形成することもできる。もちろん、二重層以上に形成する場合には一層は抵抗の小さい物質から形成し他の層は他の物質との接触特性が良好な物質から形成するのが好ましい。接触層パターン55、56は、その下部の半導体パターン42、48とその上部のデータ配線62、64、65、66との接触抵抗を低下させる役割を果たし、データ配線62、64、65、66と同一の形態を有する。即ち、データ線部用の接触層パターン55はデータ線部62、64、65と同一であり、ドレーン電極用の接触層パター

ン56はドレーン電極66と同一である。

【0040】一方、半導体パターン42、48は、画面表示部内でデータ配線62、64、65、66及び接触層パターン55、56、58と類似した形態を有する。具体的には、薄膜トランジスタのチャンネル部では、データ線部62、64、65、特にソース電極65とドレーン電極66とが分離されており、データ線部用接触層55とドレーン電極用接触層パターン56とが分離されている。薄膜トランジスタ用半導体パターン42はここで切れずに連結されて薄膜トランジスタのチャンネルを生成する。一方、周辺部の半導体パターン48はゲートパッド24部分以外の周辺部全体にわたって形成されている。

【0041】データ線部62、64、65及びドレーン電極66と半導体パターン42とは、保護膜70で覆われている。保護膜70は半導体パターン42、48とほぼ同一な形態を有しており、ドレーン電極66、データ線62及びデータパッド64を露出させる接触窓71、72、76を有している。また、保護膜70はゲート絶縁膜30及び半導体パターン42と共にゲートパッド24を露出させる接触窓74を有しており、ゲート線22のうちのデータ線62と重複する部分以外の部分は覆っていない。保護膜70は窒化珪素またはアクリル系などの有機絶縁物質からなることができ、半導体パターン42のうちの少なくともソース電極65とドレーン電極66との間に位置するチャンネル部分を覆って保護する役割を果たす。

【0042】ゲート線22及びデータ線62に囲まれた領域のゲート絶縁膜30の上には、共通電極線27と平行な画素信号線87及び共通電極28と平行な画素電極88が形成されている。画素信号線87は保護膜70の上に延長され、接触窓71を通してドレーン電極66と物理的・電気的に連結され薄膜トランジスタから画像信号を受けて共通電極27と共に電場を生成する。

【0043】ここで、図面に示されていないが、画素配線87、88または共通配線27、28を延長して互いに重畳しないように形成することによって、維持蓄電器を形成することができる。保護膜70の上にはデータ線62に沿って形成されている補助データ線82が形成されている。補助データ線82は保護膜70に形成された接触窓72を通してデータ線62と連結されている。また、補助データ線82はデータパッド64の上に延長され、接触窓76を通してデータパッド64と連結される補助データパッド86を形成する。また、ゲートパッド24の上には接触窓74を通してこれと連結される補助ゲートパッド84が形成されている。補助ゲートパッド84は、ゲートパッド24と外部回路装置との接着性を補完しゲートパッドを保護する役割を果たすもので、必須のものではなく適用如何は選択的である。

【0044】以下、本発明の実施形態例による液晶表示

装置用基板の製造方法について図6aないし図19と前述の図3ないし5とに基づいて詳しく説明する。まず、図6a～8に示すように、金属などの導電体層をスパッタリングなどの方法で1,000Åないし3,000Åの厚さに蒸着し、第1マスクを用いて乾式または湿式エッチングして、基板10の上にゲート線22、ゲートパッド24及びゲート電極26を含むゲート配線と、共通電極線27、共通電極線パッド(図示しない)及び共通電極28を含む共通配線とを形成する。

【0045】次に、図9及び10に示すように、ゲート絶縁膜30、半導体層40、接触層50をそれぞれ1,500～5,000Å、500～1,500Å、300～600Åの厚さで連続して化学気相蒸着法により蒸着する。次いで、金属などの導電体層60をスパッタリングなどの方法で1,500～3,000Åの厚さに蒸着する。次いで、第2マスクを用いて導電体層60及びその下の接触層50をパターニングし、データ線62、データパッド64、ソース電極65などデータ線部とその下部のデータ線部接触層パターン55と、ドレーン電極66と、その下部のドレーン電極用導電体パターン56とを形成する。

【0046】図12、図18及び図19に示すように、窒化珪素をCVD方法で蒸着したり有機絶縁物質をスピンコーティングして3,000Å以上の厚さを有する保護膜70を形成する。その後、第3マスクを用いて保護膜70、半導体層40及びゲート絶縁膜30をパターニングし、接触窓71、72、74、76を含むこれらのパターンを形成する。この時、周辺部Pではゲートパッド24の上の保護膜70、半導体層40及びゲート絶縁膜30を除去するが(データパッド64の上の保護膜70も除去)、画面表示部Dでは保護膜70及び半導体層40のみを除去して(ドレーン電極66及びデータ線62の一部の上の保護膜70も除去)必要な部分のみにチャンネルが形成されるように半導体層パターンを形成しなければならない。このために、部分に応じて厚さが異なる感光膜パターンを形成しこれをエッチングマスクにして下部の膜を乾式エッチングする。これを図13～19を通して詳しく説明する。

【0047】まず、保護膜70の上に感光膜PR、好ましくは、陽性の感光膜を5,000～30,000Åの厚さに塗布した後、第3マスク300、410、420を通じて露光する。露光後の感光膜PRは、図13及び16に示すように、画面表示部Dと周辺部Pとで異なる。即ち、画面表示部Dの感光膜PRのうちの光に露出された部分Cは表面から一定の深さまでのみに光に反応して高分子が分解されその下では高分子がそのまま残っている。一方、周辺部Pの感光膜PRはこれとは異なって光に露出された部分Bが下部まで全て光に反応して高分子が分解された状態になる。ここで、画面表示部Dまたは周辺部Pで光に露出される部分C、Bは保護膜70が

除去される部分である。

【0048】このためには、画面表示部Dに使用するマスク300及び周辺部Pに使用するマスク410、420の構造を変更する方法を使用することが可能であり、ここでは3つの方法を提示する。第1の方法は、図15(a)及び(b)に示すように、マスク300、400は通常、基板310、410とその上のクロムなどからなる不透明なパターン層320、420、パターン層320、420及び露出された基板310、410を覆っているベリクル(pellicle)330、430からなる。画面表示部Dに使用されるマスク300のベリクル330の光透過率が、周辺部Pに使用されるマスク400のベリクル430の光透過率より低いように調節する。画面表示部Dのベリクル330の透過率が、周辺部Pのベリクル430の透過率の10%～80%、好ましくは20%～60%程度の範囲にあるようにする。

【0049】第2の方法は、図16及び17に示すように、画面表示部Dのマスク300には全面にわたってクロム層350を約100～300Åの厚さに残して透過率を低める。一方、周辺部Pのマスク400にはこのようなクロム層を残さない。この時、画面表示部Dに使用されるマスク300のベリクル340は周辺部Pのベリクル430と同一な透過率を有するようにすることが可能である。

【0050】ここで、前記2つの方法を混用して使用することができるのは勿論である。前記2つの方法はステッパーを使用した分割露光の場合に適用し得るものであって、画面表示部Dと周辺部Pとが異なるマスクを使用して露光されるため可能なのである。このように分割露光する場合にはこれ以外にも画面表示部Dと周辺部Pとの露光時間を異なるようにすることによって厚さを調節することができる。

【0051】しかし、画面表示部Dと周辺部Pとを分割露光せずに1つのマスクを使用して露光することもできる。この場合に適用されることができるとマスクの構造を図17に基づいて詳しく説明する。台3の方法では、図11に示すように、マスク500の基板510の上には透過率調節膜550が形成されている。透過率調節膜550の上にはパターン層520が形成されている。透過率調節膜550は画面表示部Dではパターン層520の下部だけでなく全面にわたって形成されているが、周辺部Pではパターン層550の下部のみに形成されている。つまり、基板510の上には高さの異なる2つ以上のパターンが形成されていることになる。

【0052】勿論、周辺部Pでも透過率調節膜を形成することができるが、この場合には周辺部Pの透過率調節膜の透過率が画面表示部Pの透過率調節膜550の透過率より高くなければならない。このような透過率調節膜550を有する光マスク500を製造する時には、まず、基板500の上に透過率調節膜550と、この透過

率調節膜550とはエッチング比が異なるパターン層520とを連続して積層する。全面にわたって感光膜(図示しない)を塗布し露光、現像した後、感光膜をエッチングマスクにしてパターン層520をエッチングする。残っている感光膜を除去した後、再び周辺部Pの接触窓に対応する位置の透過率調節膜を露出させる新たな感光膜パターン(図示しない)を形成してから、これをエッチングマスクにして透過率調節膜550をエッチングすることによって光マスク500を完成する。

【0053】このような方法以外にも光源の分解能より小さな大きさのスリットまたは格子形態の微細パターンを有するマスクを使用して透過率を調節することもできる。感光膜PRのうち、下部に反射率の高い金属層、即ちゲート配線22、24、26、共通配線27、28またはデータ配線62、64、65、66がある部分は、反射された光によって露光時に他の部分より光の照射量が多くなるおそれがある。これを防止するために下部からの反射光を遮断する層をおいたり着色された感光膜PRを使用することができる。

【0054】このような方法で感光膜PRを露光した後で現像すると、図13及び14において、メッシュ表示された部分が除去された感光膜パターンPRが形成される。即ち、ゲートパッド24及びデータパッド64の上には感光膜が形成されていない。ゲートパッド24及びデータパッド64以外の全ての周辺部P及び画面表示部Dでは、データ線部62、64、65及びドレイン電極66と、これらの間の半導体層40との上部には厚い感光膜Aが形成されている。画面表示部Dでは、ドレイン電極66の上部及びデータ線62の一部及びその他の部分には薄い感光膜Bが形成される。

【0055】この時、感光膜PRの薄い部分の厚さは、最初の厚さの約 $1/4 \sim 1/7$ 程度、即ち、350~10,000Å程度、より好ましくは、1,000~6,000Åである。一例をあげると、感光膜PRの最初の厚さと25,000~30,000Åとし、画面表示部Dの透過率を30%とすることで薄い感光膜の厚さを3,000~5,000Åとすることができる。しかし、残す厚さは乾式エッチングの工程条件によって決定されなければならないので、このような工程条件に応じてマスクのベリクル、残留クロム層の厚さまたは透過率調節膜の透過率や露光時間などを調節しなければならない。

【0056】このような薄い厚さの感光膜は、通常の方法で感光膜を露光、現像した後リフローを通じて形成することもできる。次いで、乾式エッチング方法で感光膜パターンPR及びその下部の膜、即ち、保護膜70、半導体層40及びゲート絶縁膜30に対するエッチングを進める。この時、前記で言及したように、感光膜パターンPRのうちのA部分は完全に除去されずに残っている必要はなく、B部分の下部の保護膜70、半導体層

40及びゲート絶縁膜30が除去されなければならない、C部分の下部では保護膜70及び半導体層40のみを除去しゲート絶縁膜30は除去されてはならない。

【0057】このためには、感光膜パターンPRとその下部の膜とを同時にエッチングすることができる乾式エッチング方法を使用するのが好ましい。即ち、乾式エッチング方法を使用すると、図18及び19に示すように、感光膜のないB部分の下部の保護膜70、半導体層40及びゲート絶縁膜30の3つの層と、C部分の薄い厚さの感光膜、保護膜70及び半導体層40の3つの層とを同時にエッチングすることができる。但し、画面表示部Dのデータ線62の一部及びドレイン電極66部分と、周辺部Pのデータパッド64部分とでは、導電体層60が除去されないようにエッチング選択性がある条件を選択しなければならない。この時、感光膜パターンPRのA部分もある程度の厚さまでエッチングされる。

【0058】従って、一度のマスク工程と乾式エッチング方法とを通して、画面表示部Dでは保護膜70及び半導体層40のみを除去して接触窓71、72及び半導体パターン42を形成することができる。また、周辺部Pでは保護膜70、半導体層40及びゲート絶縁膜30を全て除去して接触窓74、76を形成することができる。

【0059】最後に、残っているA部分の感光膜パターンを除去し、図3~5に示すように、400~500Åの厚さの導電体層を蒸着し、第4マスクを使用してエッチングして画素信号線87及び画素電極88、補助データ線82、補助ゲートパッド84及び補助データパッド86を形成する。このように、本実施形態例ではゲートパッド24を露出させる接触窓74を保護膜パターン70及び半導体パターン42、48と共に1つのマスクを用いて形成する場合を説明しているが、接触窓74はその他の膜をパターニングする時に共に形成することもでき、これは当業者として当然に考えることができる範疇にある。特に、本発明は乾式エッチング方法でエッチングされる薄膜のパターニングに有効な方法である。

【0060】本発明の第2及び第3実施形態例では、同一層に形成されるソース電極とドレイン電極とを分離する時に2つの電極の間に薄い感光膜パターンを形成することによって、半導体パターンとデータ配線とを共に形成する製造工程を単純化する。まず、図20~22に基づいて本発明の第2実施形態例による液晶表示装置用薄膜トランジスタ基板の構造について詳しく説明する。

【0061】図20は本発明の第2実施形態例による液晶表示装置用薄膜トランジスタ基板の配置図である。図21及び22はそれぞれ図20に示す薄膜トランジスタ基板のXIV-XIV'線及びXV-XV'線の断面図である。まず、絶縁基板10の上にゲート配線22、24、26、共通配線27、28及び画素配線が形成される。画素配線は、共通電極28と平行に対向し、画像信号が

伝達される画素電極25及び画素電極25の下端に連結されている。画素配線は、後述するドレーン電極66と連結されて画像信号の伝達を受ける画素電極連結部または画素信号線23を含む。

【0062】ゲート配線22、24、26、共通配線27、28及び画素配線23、25は、単一層から形成することもできるが、二重層または三重層から形成することもできる。二重層以上に形成する場合には一層は抵抗の小さな物質から形成し、他の層は他の物質から形成するのが好ましい。特にパッド用物質として使用されるITOとの接触特性が良好な物質は好ましく用いられる。その理由は、外部と電氣的に連結されるパッド部を補強するために、パッド部は配線用物質とパッド用物質とを共に形成するためである。パッド用物質をITOから形成する場合、ITOとの接触特性が良好な物質としてはクロム(Cr)、モリブデン(Mo)、チタニウム(Ti)、タンタル(Ta)などがあり、Cr/Al(またはAl合金)の二重層またはAl/Moの二重層をその例としてあげることができる。

【0063】ゲート配線22、24、26、共通配線27、28及び画素配線23、25の上は、窒化珪素(SiN_x)などからなるゲート絶縁膜30で覆われている。ゲート絶縁膜30の上には、薄膜トランジスタチャンネルが形成されるチャンネル部Cを含む半導体パターン42が形成されている。半導体パターン42の上には接触層パターン55、56が形成されている。

【0064】接触層パターン55、56の上にはデータは緯線62、64、65、66が形成されている。ここで、ドレーン電極66は画素電極連結部23の上部まで延長されている。一方、半導体パターン42は、薄膜トランジスタのチャンネル部Cを除き、データ配線62、64、65、66及び接触層パターン55、56と同一な形態を有する。具体的には、薄膜トランジスタ用半導体パターン42はデータ配線及び接触層パターンの残りの部分と僅かに異なる。即ち、薄膜トランジスタのチャンネル部Cでデータ線部62、64、65、特にソース電極65とドレーン電極66とが分離しており、データ線部の中間層55とドレーン電極用接触層パターン56とが分離されている。しかし、薄膜トランジスタ用半導体パターン42はここで切れずに連結されて薄膜トランジスタのチャンネルを生成する。

【0065】データ配線62、64、65、66及びデータ配線で覆われない半導体パターン42を覆う保護膜70は、ゲート絶縁膜30と共にデータ線62、データパッド64及びゲートパッド24を露出させる接触窓72、76、74を有している。また、ゲート絶縁膜30と共にドレーン電極66と画素信号線23とを露出させる接触窓71を有している。

【0066】保護膜70の上には、データ配線と電氣的に連結されている補助データ配線が形成されている。補

助データ配線は、接触窓72、76を通してデータ配線62、64と連結されている補助データ線部82、86を含む。さらに、補助データ配線は、接触窓71を通してドレーン電極66及び画素電極連結部23と連結されてこれらを電氣的に連結し、共通電極28と一部重畳して維持容量を形成する補助導電膜として補助画素信号線87を含む。ここでは、補助画素信号線87を共通電極28と重畳させて維持容量を形成したが、ドレーン電極66のみを利用して維持容量を形成することもできる。また、維持容量を充分に確保するために、共通電極28とドレーン電極66とを、または補助画素信号線87を、多様に変形された構造から形成することができる。この時、補助データ配線82、84、86、87はITO(indium tin oxide)やIZO(indium zinc oxide)などの透明な導電物質または不透明な導電物質から形成されることができる。

【0067】以下、本発明の第2実施形態例による液晶表示装置用基板の製造方法について図23～39と前述の図20～22とに基づいて詳しく説明する。まず、図23～25に示すように、金属などの導電体層をスパッタリングなどの方法で1,000～3,000Åの厚さに蒸着し、第1マスクを用いて乾式または湿式エッチングして、ゲート線22、ゲートパッド24及びゲート電極26を含むゲート配線と、共通信号線27及び共通電極28を含む共通配線と、画素電極25及び画素電極連結部23を含む画素配線とを基板10の上に形成する。

【0068】その次、図26及び27に示すように、ゲート絶縁膜30、半導体層40及び中間層50を、それぞれ1,500～5,000Å、500～2,000Å、300～600Åの厚さに化学気相蒸着法を用いて連続して蒸着する。次いで、金属などの導電体層60をスパッタリングなどの方法で1,500～3,000Åの厚さに蒸着した後、その上に感光膜110を1～2μmの厚さに塗布する。

【0069】その後、第2マスクを通じて感光膜110に光を照射した後で現像し、図28～30に示すように、感光膜パターン112、114を形成する。この時、感光膜パターン112、114のうちの薄膜トランジスタのチャンネル部C、即ちソース電極65とドレーン電極66との間に位置した第1部分114は、データ配線部A、即ちデータ配線62、64、65、66が形成される部分に位置した第2部分112より厚さが小さくなるようにし、その他の部分Bの感光膜は全て除去する。この時、チャンネル部Cに残っている感光膜114の厚さとデータ配線部Aに残っている感光膜112の厚さとの比は、後述するエッチング工程における工程条件に応じて異なるようにしなければならない。具体的には、第1部分114の厚さを第2部分112の厚さの1/2以下とするのが好ましい。また、第2部分の厚さは1.6～1.9μm程度に形成し、第1部分114の厚

さは2,000~5,000Å以下、さらには3,000~4,000Å程度に形成するのが好ましい。ここで、感光膜が陽性である場合、データ配線部Aの透過率は3%以下が好ましい。チャンネル部Cの透過率は20~60%、より好ましくは30~40%が好ましい。その他の部分Bの透過率は90%以上になるようにマスクを製作するのが好ましい。

【0070】このように、位置に応じて感光膜の厚さを異にする方法として多様なものがあり得、ここでは陽性感光膜を使用する場合に対して2つの方法を提示する。この場合、感光膜の厚さは通常の厚さより厚い1.6~2μm程度に形成するのがよく、これは現像後に残った膜を容易に調節するようにするためである。そのうちの第1の方法は、マスクに解像度より小さいパターン、例えばスリットまたは格子形態のパターンを形成したり、半透明膜において光の照射量を調節することである。この時、スリットパターンの線幅または間隔は露光時に使用される露光器の分解能より小さいようにして透過率のみを調節することができるようにしなければならない。一方、半透明膜を利用する場合にはマスクを製作する時に膜の厚さを調節して光の透過率を調節することができ、異なる透過率を有する多数の膜を多層膜として形成して光の透過率を調節することができる。この時、光の照射量を調節するためにはクロム(Cr)、MgO、MoSi、a-Siなどを利用することができる。

【0071】このように光の透過率を調節し得るスリットパターンまたは半透明膜が形成されているマスクを通して感光膜に光を照射すると、感光膜の高分子は光によって分解され、光の照射量が増加するほど高分子の分解程度が異なるようになる。光に完全に露出される部分の高分子が完全に分解される時に露光を終了すると、光に直接露出される部分に比べてスリットまたは半透明膜が形成されている部分の照射量が少ないので、この部分で感光膜分子は分解されない状態である。この時、露光時間を長くすると、全ての部分の高分子が完全に分解されるのでそのようにならないようにしなければならない。次いで、感光膜を現像すると、高分子が分解されない部分の感光膜はほぼ初期状態の厚さとして残り、スリットパターンまたは半透明膜によって光が少なく照射される部分には中間厚さの感光膜が残り、光によって完全に分解された部分には感光膜がほとんど残らない。このような方法を利用すると、部分的に異なる厚さを有する感光膜パターン112、114を形成することができる。

【0072】第2の方法は、感光膜のリフローを用いることである。この場合には、光が完全に透過し得る部分と光が完全に透過し得ない部分とに区分された通常のマスクを使用して感光膜が全然なかったり一定の厚さで残っている通常の感光膜パターンを形成する。次いで、このような感光膜パターンをリフローさせて残っている感光膜が無い部分に流れるようにして中間厚さを有する新

たな感光膜パターンを形成する。

【0073】このような方法を通じて位置に応じて厚さが互いに異なる感光膜パターン112、114が形成される。次いで、感光膜パターン112、114及びその下部の膜、即ち導電体層60、中間層50及び半導体層40に対するエッチングを進める。この時、データ配線部Aにはデータ配線及びその下部の膜がそのまま残っており、チャンネル部Cには半導体層のみが残っていないなければならない。また、残りの部分Bには上記3つの層60、50、40が全て除去されてゲート絶縁膜30が露出されなければならない。

【0074】まず、図31及び32に示すように、残りの部分Bの露出されている導電体層60を除去してその下部の中間層50を露出させる。この過程では乾式エッチングまたは湿式エッチング方法を全て使用することができる。エッチングは、導電体層60はエッチングされ感光膜パターン112、114はほとんどエッチングされない条件下で行うのが良い。しかし、乾式エッチングの場合、導電体層60のみをエッチングし感光膜パターン112、114をエッチングしない条件を探すのが難しいので、感光膜パターン112、114も共にエッチングされる条件下で行うことができる。この場合には湿式エッチングの場合より第1部分114の厚さを厚くすることにより、この過程で第1部分114が除去されて下部の導電体層60が露出されることが発生しないようにする。

【0075】導電体層60がMoまたはMoW合金、AlまたはAl合金、Taのうちのいずれかである場合には、乾式エッチングまたは湿式エッチングのうちのいずれのものでも可能である。しかし、Crは乾式エッチング方法では除去されにくいので、導電体層60がCrであれば湿式エッチングのみを用いるのが良い。導電体層60がCrである湿式エッチングの場合にはエッチング液としてCeNH₃O₃を使用することができる。また、導電体層60がMoまたはMoWである乾式エッチングの場合のエッチング気体としては、CF₄とHClとの混合気体またはCF₄とO₂との混合気体を使用することができる。後者の場合には感光膜に対するエッチング比もほぼ類似している。

【0076】このようにすると、図31及び32に示すように、チャンネル部C及びデータ配線部Bの導電体層、即ち、ソース/ドレーン用導電体パターン67のみが残りその他の部分Bの導電体層60は全て除去されることによってその下部の中間層50が露出される。この時、残った導電体パターン67はソース及びドレーン電極65、66が分離されずに連結されている点以外はデータ配線62、64、65、66の形態と同一である。また、乾式エッチングを使用する場合、感光膜パターン112、114もある程度の厚さでエッチングされる。

【0077】次いで、図33及び34に示すように、そ

他の部分Bの露出された中間層50及びその下部の半導体層40を感光膜の第1部分114と共に乾式エッチング方法で同時に除去する。この時のエッチングは感光膜パターン112、114と中間層50及び半導体層40（半導体層及び中間層はエッチング選択性がほとんど無い）が同時にエッチングされ、ゲート絶縁膜30はエッチングされない条件下で行わなければならない。とりわけ、特に、感光膜パターン112、114と半導体層40とに対するエッチング比がほぼ同一な条件でエッチングするのが好ましい。例えば、 SF_6 と HCl との混合気体または SF_6 と O_2 との混合気体を使用すれば、ほぼ同一な厚さで2つの膜をエッチングすることができる。感光膜パターン112、114と半導体層40とに対するエッチング比が同一な場合、第1部分114の厚さは半導体層40の厚さと中間層50の厚さとの和と同一であるかそれより小さくしなければならない。

【0078】このようにすると、図33及び34に示すように、チャンネル部Cの第1部分114が除去されてソース／ドレイン用導電体パターン67が露出され、その他の部分Bの中間層50及び半導体層40が除去されてその下部のゲート絶縁膜30が露出される。一方、データ配線部Aの第2部分112もエッチングされるので厚さが薄くなる。また、この段階で半導体パターン42が完成される。図面符号57はそれぞれソース／ドレイン用導電体パターン67の下部の中間層パターンを指す。

【0079】次いで、アッシング (ashing) を通じてチャンネル部Cのソース／ドレイン用導電体パターン67の表面に残っている感光膜の残りものを除去する。アッシングする方法としてはプラズマ気体を利用したりマイクロ波 (microwave) を利用することができ、主に使用する組成物としては酸素をあげることができる。次いで、図35及び36に示すように、チャンネル部Cのソース／ドレイン用導電体パターン67及びその下部のソース／ドレイン用中間層パターン57をエッチングして除去する。この時、エッチングはソース／ドレイン用導電体パターン67及び中間層パターン57の両方に対して乾式エッチングのみを行うことができ、ソース／ドレイン用導電体パターン67に対しては湿式エッチング、中間層パターン57に対しては乾式エッチングを行うことができる。前者の場合、ソース／ドレイン用導電体パターン67及び中間層パターン57のエッチング選択比が大きい条件下でエッチングを行うのが好ましい。エッチング選択比が大きい場合にはエッチング終点を探すことが難しいため、チャンネル部Cに残る半導体パターン42の厚さを調節しにくいからである。例えば、 SF_6 と O_2 との混合気体を使用してソース／ドレイン用導電体パターン67をエッチングする。湿式エッチングと乾式エッチングとを交互に行う後者の場合、湿式エッチングされるソース／ドレイン用導電体パターン67の側

面はエッチングされるが、乾式エッチングされる中間層パターン57はほとんどエッチングされないので階段形態に形成される。中間層パターン57及び半導体パターン42をエッチングする時に使用するエッチング気体の例としては、前記で言及した CF_4 と HCl との混合気体または CF_4 と O_2 との混合気体をあげることができる。 CF_4 と O_2 との混合気体を使用すれば均一な厚さで半導体パターン42を残ることができる。この時、図36に示すように、半導体パターン42の一部が除去されて厚さが薄くなることもでき感光膜パターンの第2部分112もこの時にある程度の厚さでエッチングされる。この時のエッチングはゲート絶縁膜30がエッチングされない条件下で行わなければならない、第2部分112がエッチングされてその下部のデータ配線62、64、65、66が露出されないように感光膜パターンが厚いのが好ましい。

【0080】このようにすると、ソース電極65とドレイン電極66とが分離されながらデータ配線62、64、65、66とその下部の接触層パターン55、56とが完成される。最後に、データ配線部Aに残っている感光膜第2部分112を除去する。しかし、第2部分112の除去を、チャンネル部Cのソース／ドレイン用導電体パターン67を除去した後にはその下の中間層パターン57を除去する前に行うこともできる。

【0081】また、データ配線を乾式エッチングの可能な物質から形成する場合には、前述のように数度の中間工程を経ず、感光膜パターンの厚さを調節して一度のエッチング工程で接触層パターン、半導体層パターン、データ配線を形成することができる。即ち、B部分の金属層60、接触層50及び半導体層40をエッチングする間、C部分では感光膜パターン114及びその下部の接触層50をエッチングし、かつA部分では感光膜パターン112の一部のみをエッチングする条件を選択して、1度の工程で形成することもできる。

【0082】前述のように、湿式エッチングと乾式エッチングとを交互に行ったり乾式エッチングのみを使用することができる。後者の場合には1種類のエッチングのみを使用するので工程が比較的簡便であるが、適したエッチング条件を探すことが難しい。反面、前者の場合にはエッチング条件を探すことが比較的容易であるが、工程が後者に比べて複雑である。

【0083】このようにしてデータ配線62、64、65、66を形成した後、図37～39に示すように窒化珪素をCVD方法で蒸着したり有機絶縁物質をスピンコーティングし、厚さ2、000 Å以上の保護膜70を形成する。次いで、第3マスクを用いて保護膜70をゲート絶縁膜30と共にエッチングし、データ線62、ゲートパッド24、データパッド64及びドレイン電極66と画素信号線23とをそれぞれ露出させる接触窓72、74、76及び71を形成する。

【0084】最後に、図20～22に示すように、透明な導電物質または不透明な導電物質を蒸着し第4マスクを用いてエッチングして補助データ配線82、84、87及び補助ゲートパッド86を形成する。このように本実施形態例ではデータ配線62、64、65、66とその下部の接触層パターン55、56及び半導体パターン42を1つのマスクを用いて形成して製造工程を単純化することができる。また、データ配線を二重に形成して配線の断線を防止することができる。

【0085】また、本発明の実施形態例ではデータ配線62、64、65、66を形成した後で補助データ線82、84、87を形成したが、順序を変えて形成することもできる。本発明の第2実施形態例ではチャンネル部C以外の半導体パターン42とデータ配線62、64、65、66を同一の形態に形成したが、半導体パターン42がデータ配線62、64、65、66の外に出るように形成することもできる。これについて図面に基づいて詳しく説明する。

【0086】図40は本発明の第3実施形態例による液晶表示装置用薄膜トランジスタ基板の配置図である。図41は図40のXXIV-XXIV'線の断面図であり、図42は図40のXXV-XXV'線の断面図である。図40～42に示すように、第3実施形態例による薄膜トランジスタ基板の構造は第2実施形態例と類似している。但し、半導体パターン42がデータ配線62、64、65、66の外に出るように形成されている次いで、このような本発明の第3実施形態例による液晶表示装置用基板の製造方法について図43～47と前述の図40～42とに基づいて詳しく説明する。図43～45は本発明の第3実施形態例による液晶表示装置用薄膜トランジスタ基板の製造工程を示した図面であって、図26及び27の次の段階を示したものである。

【0087】本発明の第3実施形態例による製造方法の大部分は第2実施形態例の製造方法と類似している。しかし、第2実施形態例と異なって、図43及び44に示すように、感光膜110を塗布し第2マスクを用いた写真工程で感光膜パターン112、114を形成し、薄い厚さを有する感光膜パターン114を薄膜トランジスタのチャンネル部Cだけでなくデータ配線部Aの周りの周辺にも形成する。

【0088】次いで、図46及び47に示すように、第2実施形態例と同様に感光膜パターン112、114を用いて半導体パターン42を形成し、感光膜パターン112を用いてデータ配線62、64、65、66を半導体パターン42の内側に形成し、データ配線62、64、65、66または感光膜パターン112をマスクにして中間層50をエッチングして中間層パターン55、56を完成する。この時、半導体パターン42の一部がエッチングされ得る。

【0089】以後の製造工程を第2実施形態例と同様に

進め、図40～42に示すように、保護膜70と補助データ配線82、84、87及び補助ゲートパッド86とを形成する。本発明の第4実施形態例では半導体パターンが少なくともデータ配線及び画素配線の外に出るように形成しながら、3枚のマスクを用いて薄膜トランジスタ基板を製造する。まず、図48及び49に基づいて3枚のマスクを用いて製造された本発明の第4実施形態例による液晶表示装置用薄膜トランジスタ基板の構造について詳しく説明する。

【0090】図48は本発明の第4実施形態例による液晶表示装置用薄膜トランジスタ基板である。図49は図48に示す薄膜トランジスタ基板のXXIX-XXIX'線の断面図であって、薄膜トランジスタ部、画素部、ゲートパッド部及びデータパッド部を示す。絶縁基板10の上にゲート配線22、24、26及び共通配線27、28が形成されている。

【0091】ゲート配線22、24、26及び共通配線27、29を覆うゲート絶縁膜30の上には半導体パターン42が形成されており、半導体パターン42の上には接触層55、56が形成されている。接触層55、56の上には、金属の単一膜やITO(indium tin oxide)またはIZO(indium zinc oxide)を含む多重膜などからなるデータ配線62、64、65、66及び画素配線68、69が形成されている。

【0092】ここで、接触層55、56とデータ配線62、64、65、66及び画素配線68、69は互いに同一の形態に形成されている。これらは、図48及び49に示すように、半導体パターン42の内側に半導体パターン42の幅より狭く半導体パターン42と類似した形態に形成されている。半導体パターン42とデータ配線62、64、65、66及び画素配線68、69との端部の段差は階段状に二重に形成される。特に、画像が表示される画素部で画素電極68とその下部に形成されている半導体パターン42との端部の段差を階段状に形成することによって以後に形成される保護膜のプロファイルを緩慢に形成してラビング不良による光漏れ現象を最少化することができる。

【0093】データ配線62、64、65、66及び画素配線68、69とこれらで覆われない半導体パターン42を覆う保護膜70とは、データパッド64を露出させる接触窓74が形成されている。この時、図49に示すように、半導体パターン42及びデータ配線62、64、65、66と画素配線68、69との端部の段差が階段状に二重に形成され、半導体パターン42とデータ配線62、64、65、66とを覆う保護膜70が緩慢に形成される。このように保護膜70で発生する傾斜が緩慢であれば、以後に形成される配向膜をラビング(rubbing)する時に発生するラビング不良を最少化して光漏れ現象を減少させることができる。

【0094】次いで、このような本発明の第4実施形態

例による構造の液晶表示装置用薄膜トランジスタ基板の製造方法について図48及び49と図50～55に基づいて詳しく説明する。図50及び52は本発明の実施形態例によって製造する中間過程における薄膜トランジスタ基板の配置図であって、製造順序によって順に示したものである。図51、図53、図54及び図55はそれぞれ図50及び52のXXXb-XXXb'及びXXXIb-XXXIb'線の断面図である。

【0095】まず、図50～51に示すように、絶縁基板10の上部に第1マスクを用いた写真工程でパターンニングし、ゲート線22、ゲート電極26及びゲートパッド24を含むゲート配線と、横方向の共通電極線27及び共通電極線27の分枝である縦の共通電極28を含む共通配線とを形成する。その次に、図52及び図55に示すように、ゲート絶縁膜30と、アモルファスシリコンからなる半導体層40と、ドーピングされたアモルファスシリコン層50と、データ配線用金属あるいはITOまたはIZOを含む多重膜からなるデータ用導体層60との4重層を連続して積層する。その後、第2マスクを用いた1度の写真工程でパターンニングし、半導体パターン42と接触層55、56とデータ配線62、64、65、66と画素配線68、69とを形成する。この時、図52及び55に示すように、データ配線62、64、65、66と画素配線68、69、とりわけ画素電極68の外に出るように半導体パターン42を形成し、データパターンと半導体パターンとが二重の階段状段差を有するように形成するのが好ましい。その理由は、以後に形成される保護膜のプロファイル(profile)を緩慢にするためである。このためには部分的に厚さが異なる感光膜パターンを形成し、これをエッチングマスクにして下部の膜をエッチングしなければならない。これを図53及び54に基づいて詳しく説明する。

【0096】まず、図53に示すように、データ用導体層60の上部に陽性の感光膜100を塗布した後、第2マスク200を用いて露光する。この時、第2マスク200には、現像後に残る感光膜の厚さが異なるように形成するために、光の透過率が部分的に異なるものを使用する。第2マスク200において、データ配線及び画素配線に対応する第1部分Aの光透過率は0～3%程度であり、第1部分A以外の半導体パターンに対応する第2部分Cの光透過率は20～60%程度、好ましくは30～40%程度であり、第1及び第2部分A、C以外の第3部分Bの光透過率は90%以上であるのが好ましい。図53に太線で示した部分は現像後に残る感光膜100の厚さを示す。この時、Bに対応する部分の感光膜100は完全に除去してもよい。Cに対応する部分の感光膜100は2,000～5,000Å、好ましくは3,000～4,000Å程度残し、Aに対応する部分では1μm以上残すのが好ましい。

【0097】この時、陽性の感光膜を使用することでも

き、Cに対応する部分とBに対応する部分とで感光膜の厚さを均一に形成するために、感光度の異なる上部膜及び下部膜からなる二重の感光膜を使用することもできる。また、透過される光の強さを異なるように調節するためにモザイク形態の凹凸や、透明または透明のパターン、スリットパターンを形成することができ、このような形態が形成されているコーティング膜を形成することもできる。また、光透過率の異なる薄膜を使用することもでき、薄膜の厚さを異にして透過率が異なるように調節することもできる。

【0098】この時、パターンまたは凹凸の大きさは露光段階で使用される光源の分解能より小さくしなければならない。次いで、図54に示すように、部分的に異なる厚さを有する感光膜パターン100をエッチングマスクにして乾式エッチングでデータ用導体層60、ドーピングされたアモルファスシリコン層50及び半導体層40をエッチングし、半導体パターン42を完成する。ここで、ゲート絶縁膜30を露出させ半導体パターン42を完成する間に、A及びCに対応する部分でも感光膜は一部エッチングされる。この時、半導体パターン42の縁の上部Cに対応する部分では感光膜100が完全に除去されないように、図53の工程で感光膜パターン100を十分な厚さで残すのが好ましい。

【0099】次いで、アッシング工程を実施して半導体パターン42の縁の上部に薄く残っている感光膜100を除去し、残されたA部分の感光膜100をエッチングマスクにしてデータ導体層60を乾式エッチングして、図52及び55に示すように、データ配線62、64、65、66及び画素配線68、69を完成する。このように、透過率が異なるように調節することができるマスクを用いて感光膜の厚さを部分的に異なるように形成し、これをエッチングマスクとして使用すれば一つのマスクを用いたパターンニング工程で半導体パターン42をデータ配線62、64、65、66及び画素配線68、69の外に、好ましくは0.5μm以上、出るように形成することができる。

【0100】次いで、データ配線62、64、65、66及び画素配線68、69またはその上部に残っている感光膜をマスクにして、露出されたドーピングされたアモルファスシリコン層50をエッチングしてデータ配線及び画素配線と同一な形態の接触層55、56を完成し、残留する感光膜をアッシング工程によって完全に除去する。

【0101】最後に、図48及び49に示すように、基板10の上部に保護膜70を積層し、ゲート絶縁膜30と共にパターンニングして、ゲートパッド24及びデータパッド64を露出させる接触窓74、76を形成する。本発明の第5実施形態例では部分的に異なる厚さを有する感光膜パターンをエッチングマスクとして用いてデータ配線と半導体パターンとを共に形成し、画素配線は保

膜膜の上部に形成する。まず、図56及び57に基づいて本発明の第4実施形態例による液晶表示装置用薄膜トランジスタ基板の構造について詳しく説明する。

【0102】図56は本発明の第5実施形態例による液晶表示装置用薄膜トランジスタ基板であり、図57は図56に示した薄膜トランジスタ基板のXXXV-XXXV'線の断面図であって、薄膜トランジスタ部、画素部、ゲートパッド部及びデータパッド部を示す。絶縁基板10の上にゲート配線22、24、26及び共通配線27、28が形成されている。

【0103】ゲート配線22、24、26及び共通配線27、29を覆うゲート絶縁膜30の上部には半導体パターン42が形成されており、半導体パターン42の上には接触層55、56が形成されている。接触層55、56の上にはデータ配線62、64、65、66が形成されている。ここで、接触層55、56とデータ配線62、64、65、66とは互いに同一の形態に形成されている。第2実施形態例のように薄膜トランジスタのチャンネル部以外の半導体パターン42は、データ配線62、64、65、66及び接触層パターン55、56と同一な形態を有する。勿論、第3及び第4実施形態例のように半導体パターン42がデータ配線62、64、65、66の外に出るように形成されて階段状の段差を有するように形成されることもできる。

【0104】データ配線62、64、65、66とこれらで覆われない半導体パターン42を覆う保護膜70とには、データ線62、ドレーン電極66及びデータパッド64をそれぞれ露出させる接触窓71、72及び76が形成されている。ゲート絶縁膜30と共にゲートパッド24を露出させる接触窓74も形成されている。ゲート線22及びデータ線62に囲まれた領域の保護膜70の上には、共通電極線27と平行で接触窓71を通してドレーン電極と連結されている画素信号線87及び共通電極28と平行な画素電極88を含む画素配線が形成されている。

【0105】ここで、図面に図示してはいないが、画素配線87、88または共通配線27、28を延長して互いに重畳するように形成することによって、維持電荷を形成することができる。保護膜70の上には、データ線62と重畳し接触窓72を通してデータ線62と連結されている補助データ線82、補助データ線82に連結されており接触窓76を通してデータパッド64と連結される補助データパッド86及び接触窓74を通してゲートパッド74と連結されている補助ゲートパッド84を含む補助配線が形成されている。ここで、補助パッド84、86は外部回路装置との接着性を補完しパッドを保護する役割を果たすものであって必須のものではなく、適用如何は選択的である。

【0106】次いで、本発明の第5実施形態例による構造の液晶表示装置用薄膜トランジスタ基板の製造方法に

ついて図56及び57と図58～63に基づいて詳しく説明する。図58、60及び64は本発明の実施形態例によって製造する中間過程における薄膜トランジスタ基板の配置図で、製造順序によって順に示したものである。図59及び図61と、図62と、図63と及び65とは、それぞれ図58のXXXVIb-XXXVIb'線の断面図と、図60のXXXVIIb-XXXVIIb'線の断面図と、図64のXXXXb-XXXXb'線の断面図とである。

【0107】まず、図58～59に示すように、第4実施形態例のように絶縁基板10の上部に第1マスクを用いた写真エッチング工程で、ゲート線22、ゲート電極26及びゲートパッド24を含むゲート配線と共通電極線27及び共通電極28を含む共通配線とを形成する。次に、図60及び図63に示すように、ゲート絶縁膜30、アモルファスシリコンからなる半導体層40、ドーピングされたアモルファスシリコン層50及びデータ用導体層60の4重層を連続して積層する。その後、第2マスクを用いた一度の写真工程でパターンニングし、半導体パターン42、接触層55、56及びデータ配線62、64、65、66を形成する。この時にも半導体パターン42と接触層55、56とデータ配線62、64、65、66とを1つのマスクを用いた写真エッチング工程で形成するためには、第1ないし第4実施形態例と同様な方法で部分的に厚さが異なる感光膜パターンを形成し、これをエッチングマスクにして下部の膜をエッチングしなければならない。これを図61及び図62を通じて詳しく説明する。

【0108】まず、図61に示すように、データ用導体層60の上部に感光膜を塗布した後、第2実施形態例と同様な方法で第2マスクを用いて露光し現像して、感光膜パターン112、114を形成する。ここで、感光膜が陽性である場合、データ配線に対応する第1部分Aの光透過率は0～3%程度であり、薄膜トランジスタのチャンネル部である第2部分Cの光透過率は20～60%程度、好ましくは30～40%程度であり、第1及び第2部分A、C以外の第3部分Bの光透過率は90%以上であるマスクを使用するのが好ましい。この時、C部分の感光膜パターン114は2,000～5,000Å、好ましくは3,000～4,000Å程度残し、A部分112には1μm以上残すのが好ましい。

【0109】この時にも、それぞれの感光膜パターン112、114の厚さを均一に形成するために感光度の異なる上部膜及び下部膜からなる二重の感光膜を使用することができる。次いで、図62に示すように、部分的に異なる厚さを有する感光膜パターン112、114をエッチングマスクとして使用し、乾式エッチングでデータ用導体層60、ドーピングされたアモルファスシリコン層50及び半導体層40をエッチングしてまず半導体パターン42を完成する。ここで、ゲート絶縁膜30を露

出させ半導体パターン42を完成する間に感光膜パターン112、114も一部エッチングされる。この時、感光膜パターン114が完全に除去されないように図37bの工程で感光膜パターン114を十分な厚さで残すのが好ましい。

【0110】次いで、アッシング工程を実施して感光膜パターン114を除去し、残されたA部分の感光膜パターン112をエッチングマスクにしてデータ導体層60をエッチングして、図58及び図63に示すように、データ配線62、64、65、66を完成する。ここでも、半導体パターン42を第4実施形態例のようにデータ配線62、64、65、66の外に出るように形成することができる。

【0111】次いで、データ配線62、64、65、66またはその上部に残っている感光膜をマスクにして、露出されたドーピングされたアモルファスシリコン層50をエッチングして接触層55、56を完成する。残留する感光膜をアッシング工程を通じて完全に除去する。その次に、図64及び65に示すように、基板10の上部に保護膜70を積層しゲート絶縁膜30と共にパターンニングしてデータ線62、ドレーン電極66、ゲートパッド24及びデータパッド64をそれぞれ露出させる接触窓72、71、74及び76を形成する。

【0112】最後に、図56及び57に示すように、基板10の上部に透明または不透明導電物質を積層しパターンニングして、補助データ線82、補助データパッド86及び補助ゲートパッド84を含む補助配線と、画素信号線87及び画素電極88を含む画素配線とを形成する。また、このような本発明の実施形態例による製造方法では平面駆動方式の液晶表示装置を例としてあげたが、反射膜を通して自然光を用いて画像を表示する反射型液晶表示装置の製造方法にも適用することが可能である。

【0113】

【発明の効果】以上のように、本発明は薄膜の新たな写真エッチング方法を通じて液晶表示装置用薄膜トランジスタ基板の製造工程数を減少させ、工程を単純化して製造原価を低下させることができる。また、広い面積を互いに異なる深さにエッチングしながら1つのエッチング深さに対しては均一なエッチング深さを有するようにする。また、配線を二重に形成することによって配線の断線を防止することができ、データ配線と画素配線とを半導体パターンの内側に形成してこれらの段差を階段状に形成することによって上部に形成される保護膜のプロファイルを緩慢にしてラビング工程の際に発生する配向不良を最少化することができる。

【図面の簡単な説明】

【図1】本発明の実施形態例による液晶表示装置用薄膜トランジスタ基板を製造するための基板の領域を区分して示した図面である。

【図2】本発明の実施形態例による1つの液晶表示装置用薄膜トランジスタ基板に形成された素子及び配線を概略的に示した配置図である。

【図3】本発明の第1実施形態例による液晶表示装置用薄膜トランジスタ基板の配置図であって、図2の1つの画素及びパッドを中心にして拡大した図面である。

【図4】図3に示す薄膜トランジスタ基板のIV-IV'線の断面図である。

【図5】図3に示す薄膜トランジスタ基板のV-V'線の断面図である。

【図6】本発明の実施形態例によって製造する第1段階における薄膜トランジスタ基板の配置図である。

【図7】図4のIVb-IVb'線の断面図である。

【図8】図4のIVc-IVc'線の断面図である。

【図9】図6～8の次の段階における薄膜トランジスタ基板の配置図である。

【図10】図9のVII-VIIb'線の断面図である。

【図11】図9のVIIc-VIIc'線の断面図である。

【図12】図9～11の次の段階における薄膜トランジスタ基板の配置図である。

【図13】図12のVIIIb-VIIIb'線の断面図である。

【図14】図12のVIIIc-VIIIc'線の断面図である。

【図15】図12～14の段階で使用される光マスクの構造を示した断面図である。

【図16】図12～14の段階で使用される光マスクの構造を示した断面図である。

【図17】図12～14の段階で使用される光マスクの構造を示した断面図である。

【図18】図12のVIIIb-VIIIb'線の断面図であって、図13及び14の次の段階における断面図である。

【図19】図12のVIIIc-VIIIc'の断面図であって、図13及び14の次の段階における断面図である。

【図20】本発明の第2実施形態例による液晶表示装置用薄膜トランジスタ基板の配置図である。

【図21】図20に示す薄膜トランジスタ基板のXIV-XIV'線の断面図である。

【図22】図20に示す薄膜トランジスタ基板のXV-XV'線の断面図である。

【図23】本発明の第2実施形態例による薄膜トランジスタ基板を製造する第1段階における薄膜トランジスタ基板の配置図である。

【図24】図23のXVIb-XVIb'線の断面図である。

【図25】図23のIVc-IVc'線の断面図である。

【図26】図23のXVIb-XVIb'線の断面図であって、図24及び25の次の段階における断面図である。

【図27】図23のXVIc-XVIc'線の断面図であって、図24及び25の次の段階における断面図である。

【図28】図26及び27の次の段階における薄膜トランジスタ基板の配置図である。

【図29】図28のXVIIIb-XVIIIb'線の断面図である。

【図30】図28のXVIIIc-XVIIIc'線の断面図である。

【図31】図28のXVIIIb-XVIIIb'線の断面図であって、図29及び30の次の段階における工程順序によって示した図面である。

【図32】図28のXVIIIc-XVIIIc'線の断面図であって、図29及び30の次の段階における工程順序によって示した図面である。

【図33】図28のXVIIIb-XVIIIb'線の断面図であって、図29及び30の次の段階における工程順序によって示した図面である。

【図34】図28のXVIIIc-XVIIIc'線の断面図であって、図29及び30の次の段階における工程順序によって示した図面である。

【図35】図28のXVIIIb-XVIIIb'線の断面図であって、図29及び30の次の段階における工程順序によって示した図面である。

【図36】図28のXVIIIc-XVIIIc'線の断面図であって、図29及び30の次の段階における工程順序によって示した図面である。

【図37】図35及び36の次の段階における薄膜トランジスタ基板の配置図である。

【図38】図37のXXIIb-XXIIb'線の断面図である。

【図39】図37のXXIIc-XXIIc'線の断面図である。

【図40】本発明の第3実施形態例による液晶表示装置用薄膜トランジスタ基板の配置図である。

【図41】図40に示した薄膜トランジスタ基板をXXIV-XXIV'線の断面図である。

【図42】図40に示した薄膜トランジスタ基板をXXV-XXV'の断面図である。

【図43】本発明の第3実施形態例による液晶表示装置用薄膜トランジスタ基板を製造する方法を示した図面であって、図26及び27の次の段階における図面である。

【図44】本発明の第3実施形態例による液晶表示装置用薄膜トランジスタ基板を製造する方法を示した図面であって、図26及び27の次の段階における図面である。

【図45】本発明の第3実施形態例による液晶表示装置用薄膜トランジスタ基板を製造する方法を示した図面であって、図26及び27の次の段階における図面である。

【図46】図44及び45の次の段階における断面図である。

【図47】図44及び45の次の段階における断面図である。

【図48】本発明の実施形態例による液晶表示装置用薄膜トランジスタ基板の配置図である。

【図49】図48に示した薄膜トランジスタ基板のXXIX-XXIX'線の薄膜トランジスタ部及び画素部の断面図である。

【図50】本発明の実施形態例によって製造する中間過程における薄膜トランジスタ基板の配置図である。

【図51】図50及び図52のXXXb-XXXb'線の断面図である。

【図52】本発明の実施形態例によって製造する中間過程における薄膜トランジスタ基板の配置図である。

【図53】図50及び図52のXXXIb-XXXIb'線の断面図である。

【図54】図52のXXXIb-XXXIb'線の断面図であって、図53の次の工程を示した断面図である。

【図55】図52のXXXIb-XXXIb'線の断面図であって、図53の次の工程を示した断面図である。

【図56】本発明の第5実施形態例による液晶表示装置用薄膜トランジスタ基板の配置図である。

【図57】図56に示す薄膜トランジスタ基板のXXXV-XXXV'線断面図であって薄膜トランジスタ部及び画素部の断面図である。

【図58】本発明の実施形態例によって製造する中間過程における薄膜トランジスタ基板の配置図である。

【図59】図58のXXXVIb-XXXVIb'線の断面図である。

【図60】本発明の実施形態例によって製造する中間過程における薄膜トランジスタ基板の配置図である。

【図61】図60のXXXVIIb-XXXVIIb'線の断面図である。

【図62】図60のXXXVIIb-XXXVIIb'線の断面図であって、図61の次の工程を示した断面図である。

【図63】図60のXXXVIIb-XXXVIIb'線の断面図であって、図61の次の工程を示した断面図である。

【図64】本発明の実施形態例によって製造する中間過程における薄膜トランジスタ基板の配置図である。

【図65】図64のXXXXb-XXXXb線の断面図である。

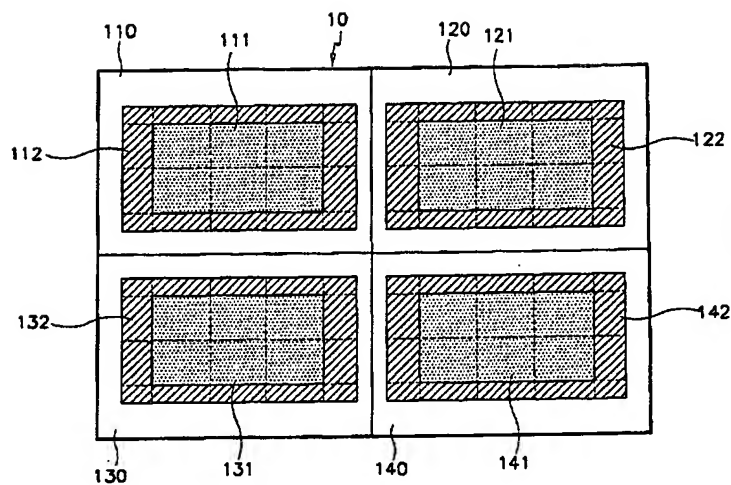
【符号の説明】

- 3 薄膜トランジスタ
- 4 ゲート線短絡バー
- 5 データ線短絡バー
- 6 短絡バー連結部
- 22 ゲート線
- 24 ゲートパッド
- 26 ゲート電極

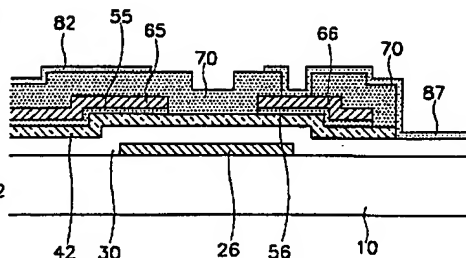
27 共通電極線
28 共通電極
30 ゲート絶縁膜
62 データ線
64 データパッド
65 ソース電極
66 ドレイン電極

70 保護膜
71、72、74、76 接触窓
90 画素電極
110、120、130、140 液晶表示装置用パネル領域
111、121、131、141 画面表示部
112、122、132、142 周辺部

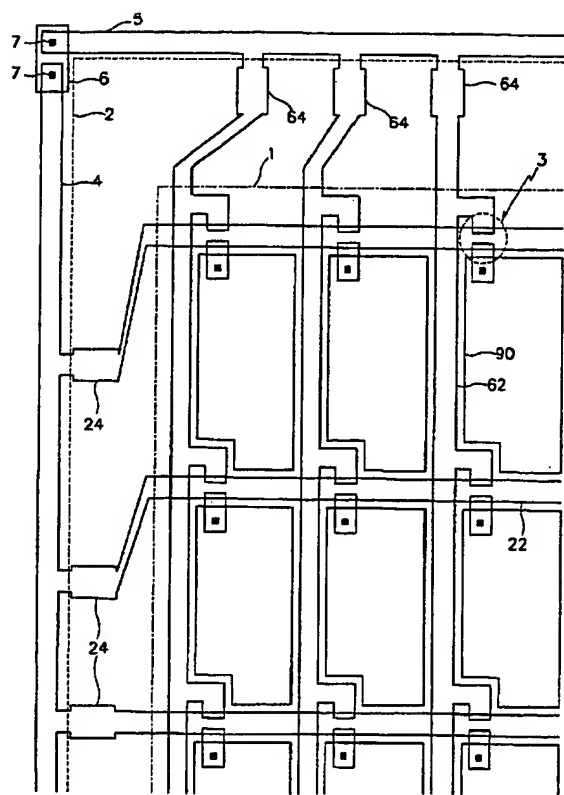
【図1】



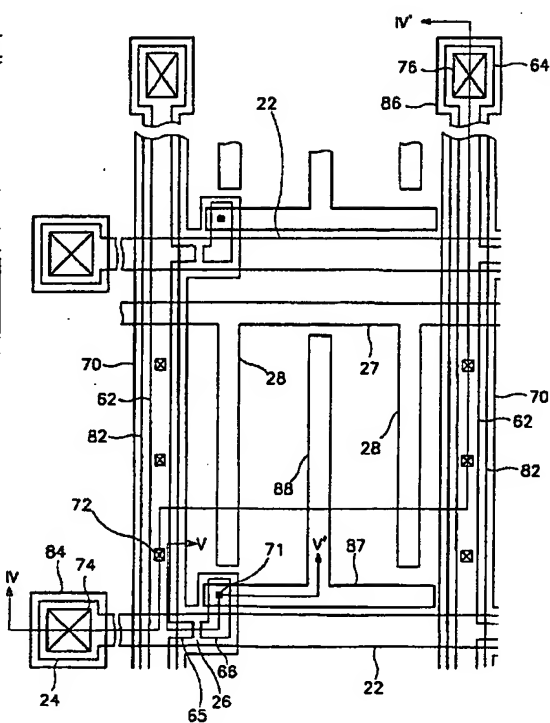
【図5】



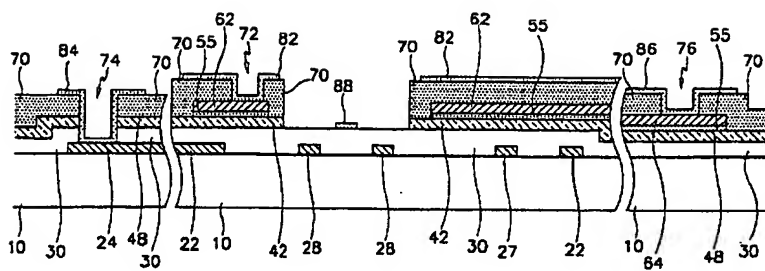
【図2】



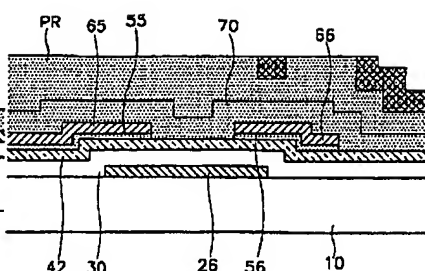
【図3】



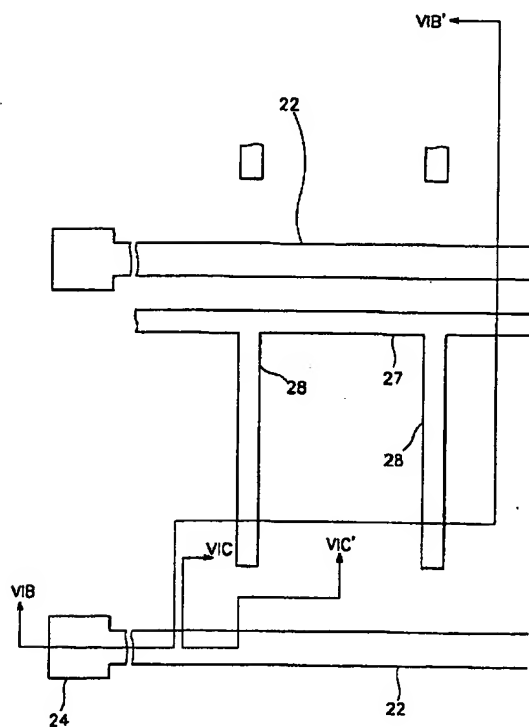
【图 4】



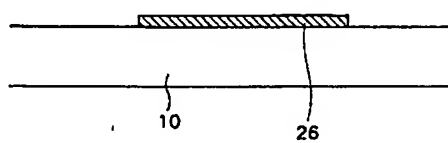
【图 14】



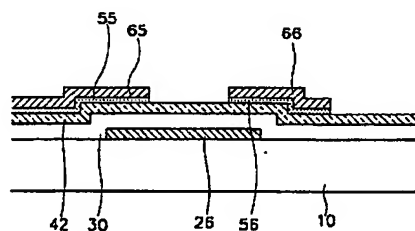
【例 6】



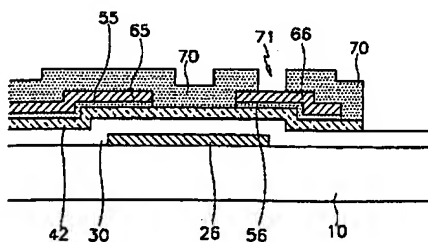
【图 8】



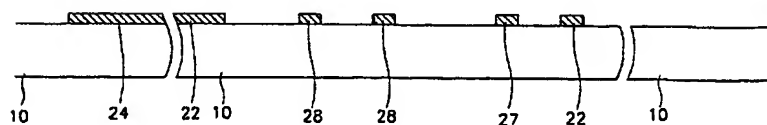
【☒ 1 1】



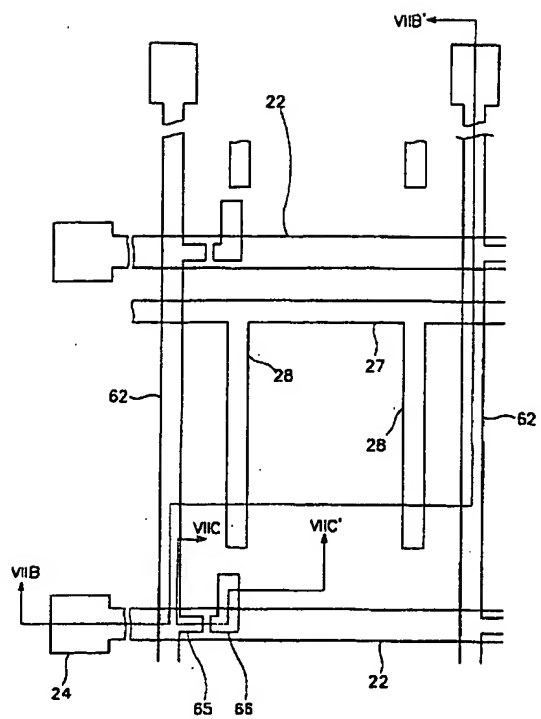
【图 19】



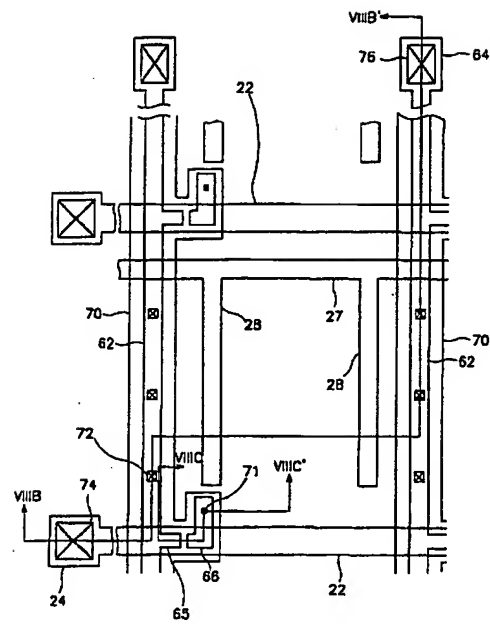
【図 7】



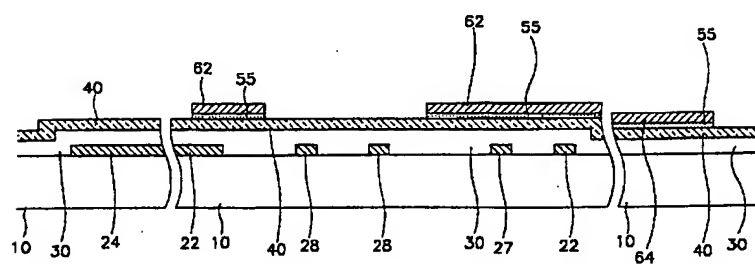
【図 9】



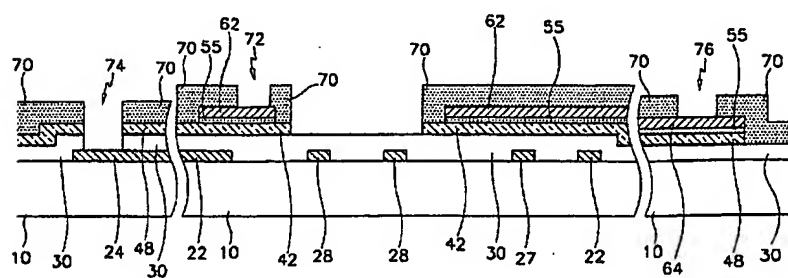
【図 12】



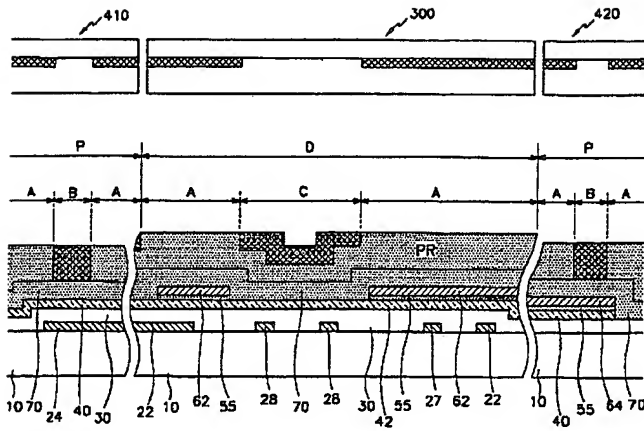
【図 10】



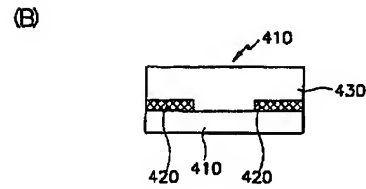
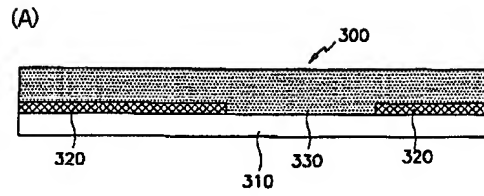
【図 18】



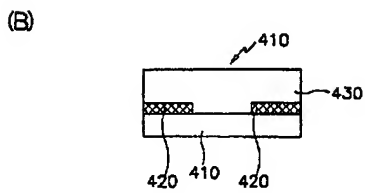
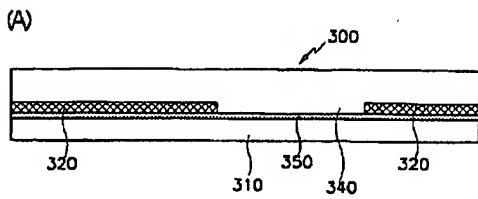
【図13】



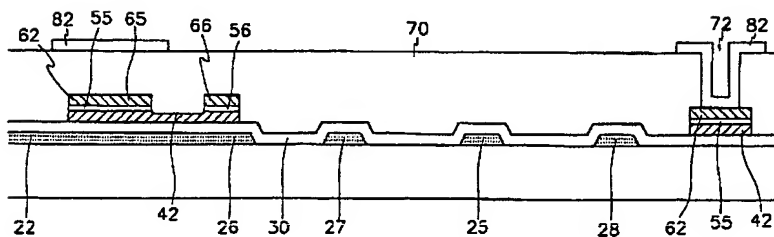
【図15】



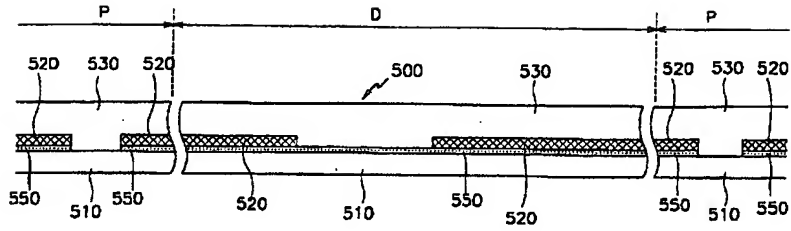
【図16】



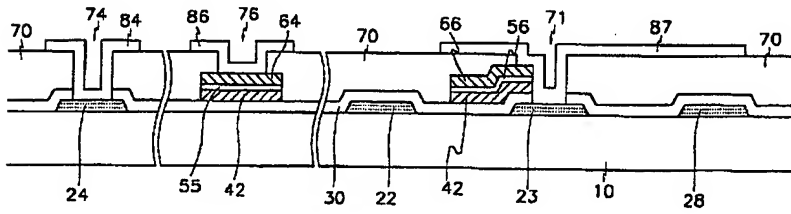
【図21】



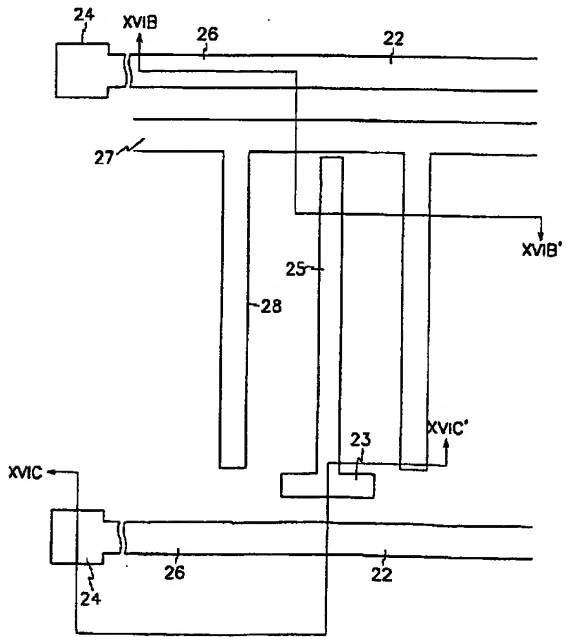
【图 17】



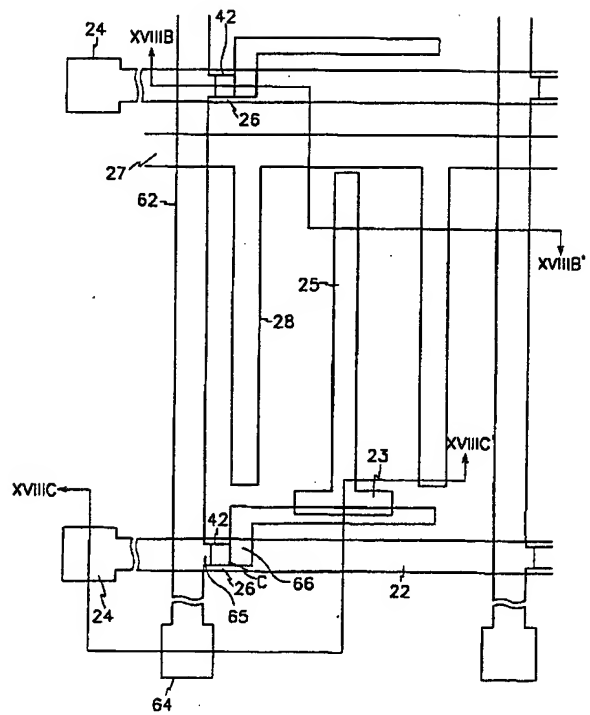
【图 22】



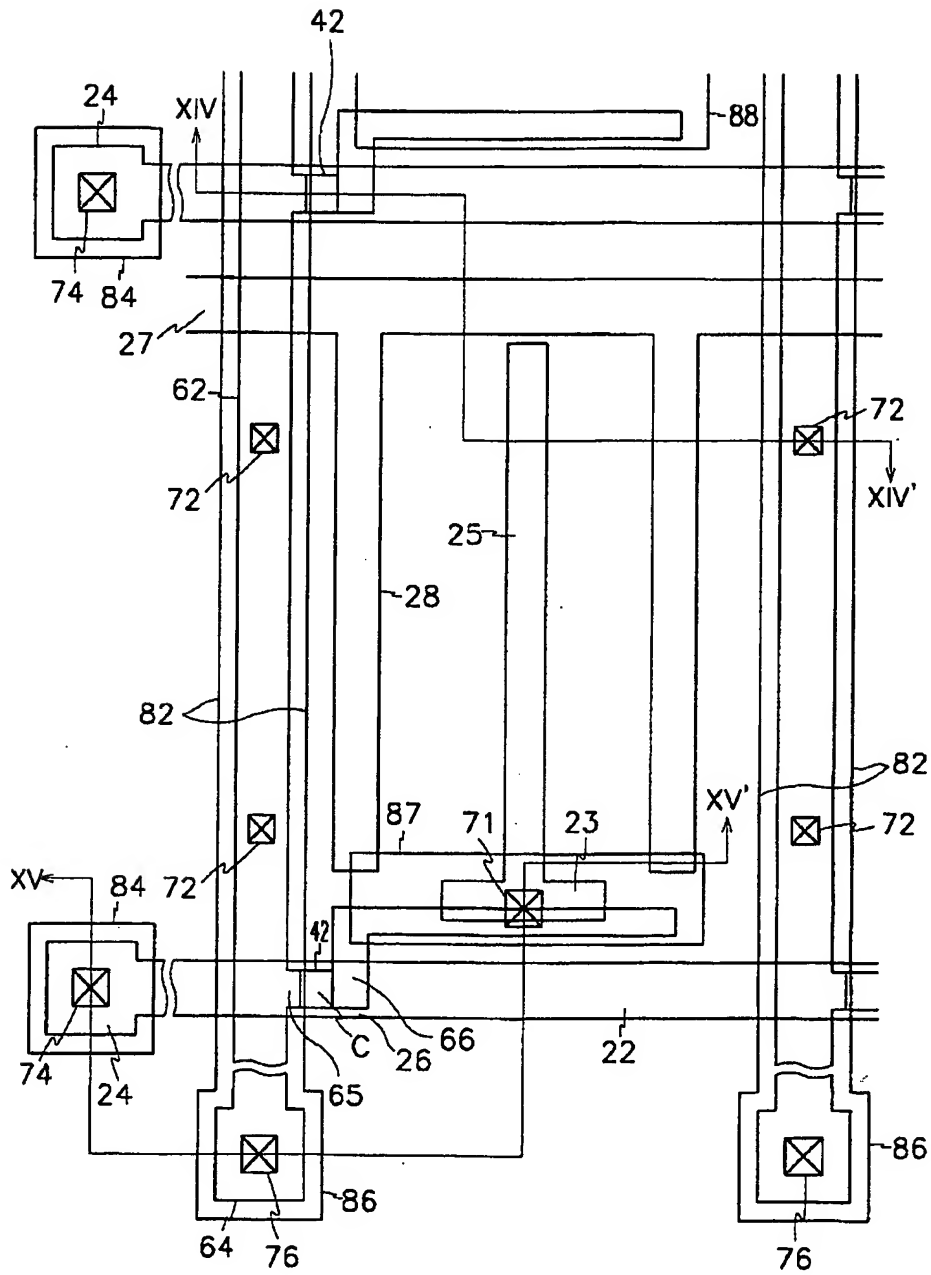
【例 23】



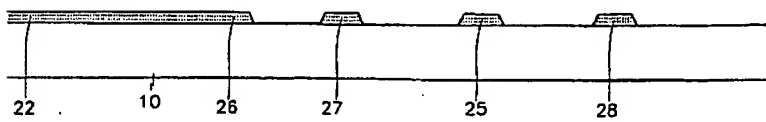
【图 28】



【図20】



【図24】

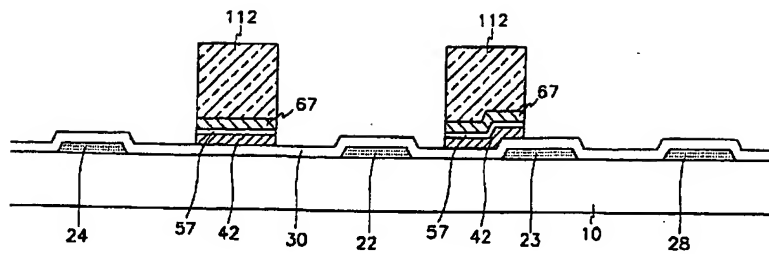


A cross-sectional view of a semiconductor device. The device consists of a substrate (10) with a patterned layer (20) on top. The patterned layer (20) has a series of rectangular features (22, 23, 24) and a central region (28). The features (22, 23, 24) are separated by a material (25). The central region (28) is a recessed area. The top layer (20) is labeled with 60 and 110. The substrate (10) is labeled with 24, 50, 40, 30, 22, 23, 10, and 28.

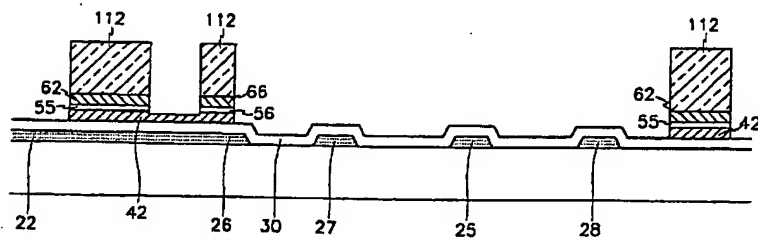
A cross-sectional diagram of a semiconductor device. It shows two transistors side-by-side. Each transistor has a gate stack (labeled 60) on top of a channel region (labeled 112). The channel regions are separated by a spacer (labeled 30). Below the channel regions are source/drain regions (labeled 24 and 28). A common source/drain region (labeled 23) is located between the two transistors. Various other layers and features are labeled with numbers: 50, 40, 22, 10, and 28. The diagram illustrates the physical structure of the device, including the gate, channel, and contact regions.

This cross-sectional view shows a substrate 22 with a patterned layer 67. The layer 67 consists of a series of rectangular blocks 112 separated by recessed regions 114. The blocks 112 are positioned on a thin layer 26. Below the layer 67, there is a series of recessed regions 30, 27, 40, 25, 50, and 28, which are filled with a material 25. The layer 67 is also labeled 67 at the right end.

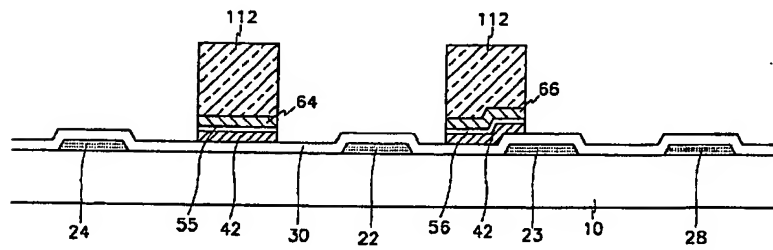
【図34】



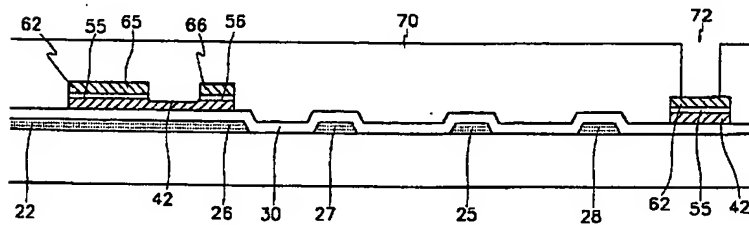
【図35】



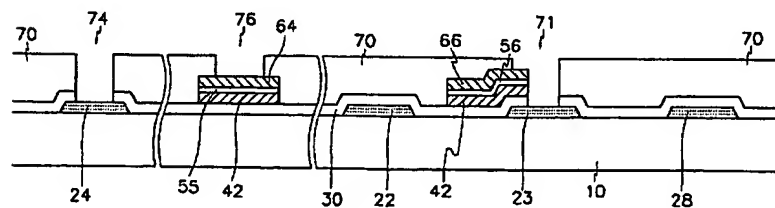
【図36】



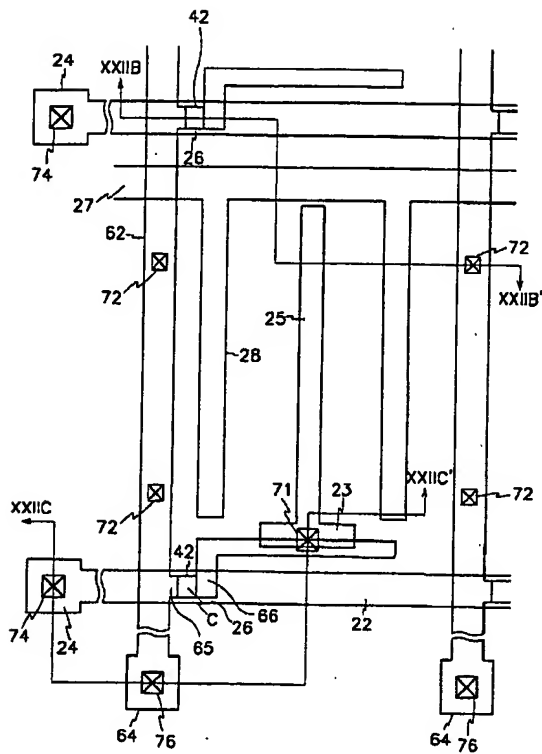
【図38】



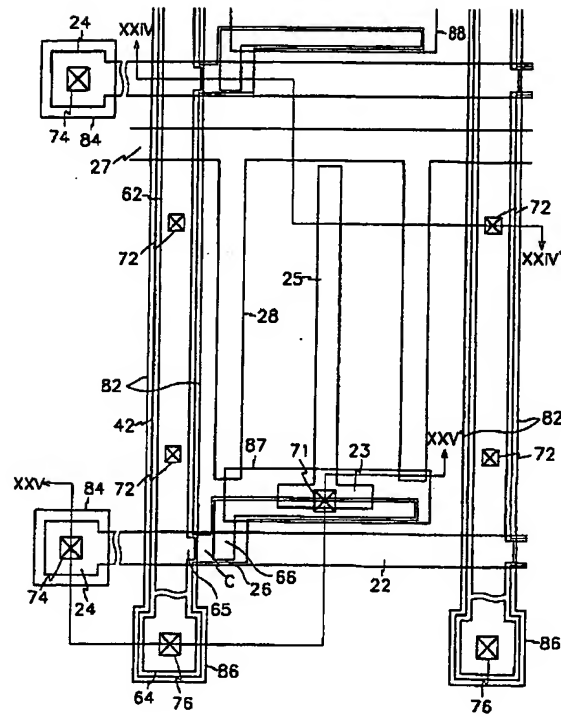
【図39】



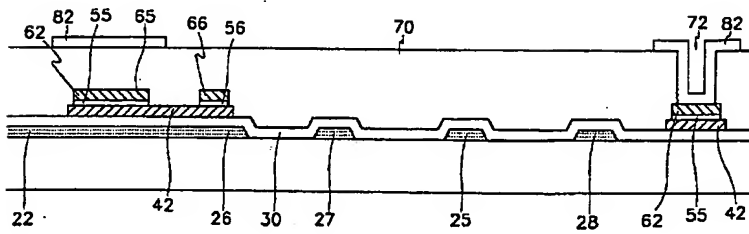
【図 37】



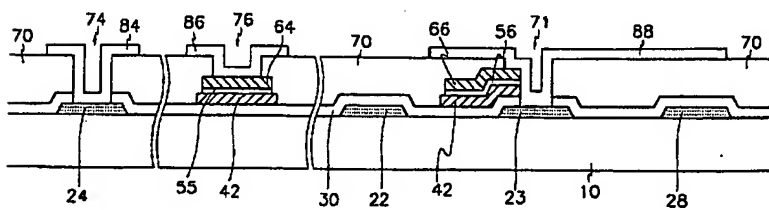
【図 40】



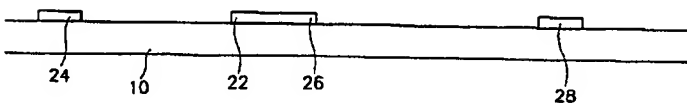
【図 41】



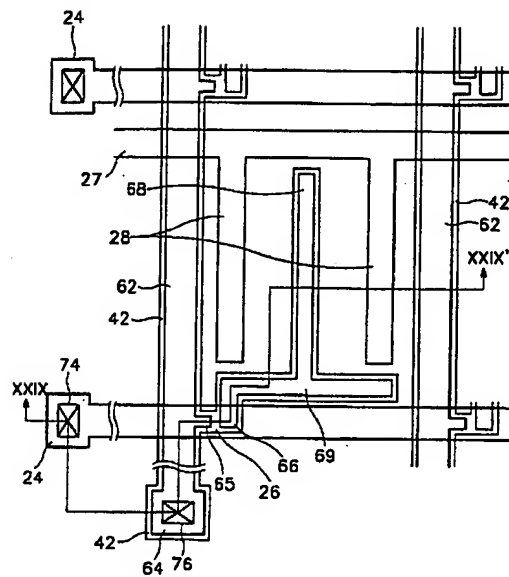
【図 42】



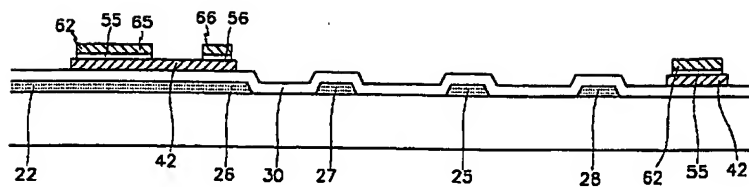
【図 51】



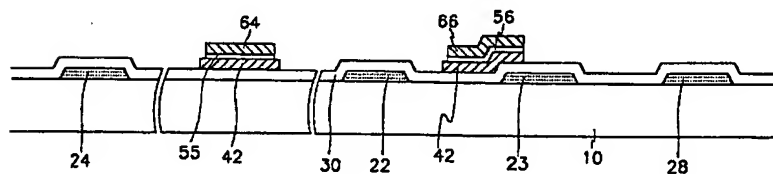
【例 48】



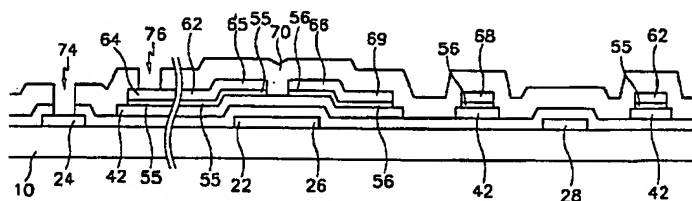
【図46】



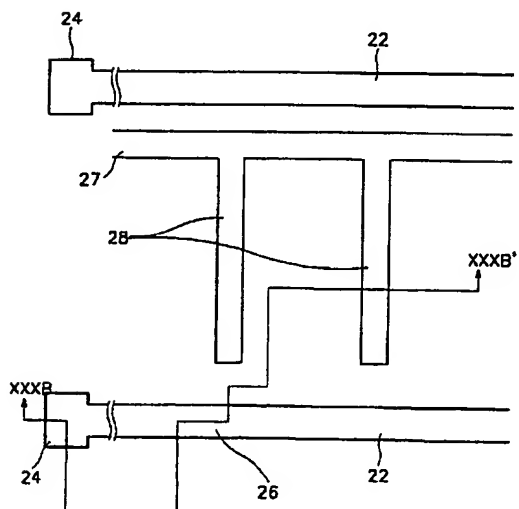
【図47】



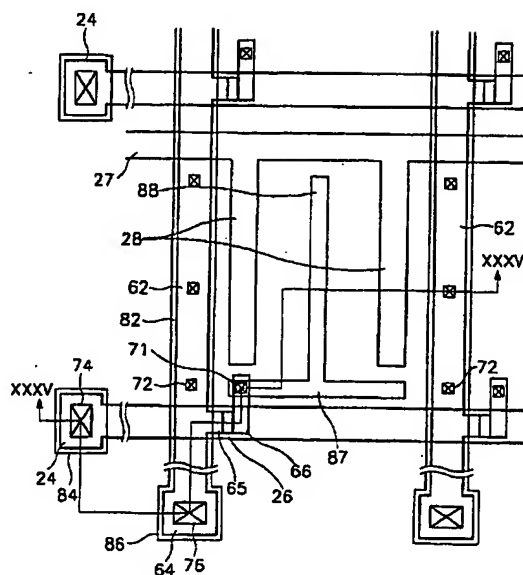
【図49】



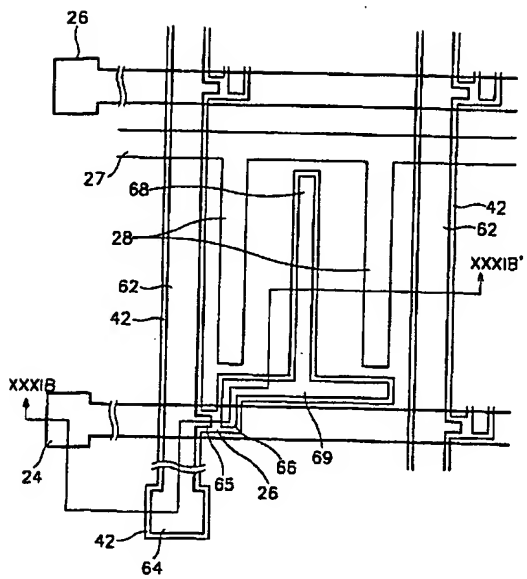
【図50】



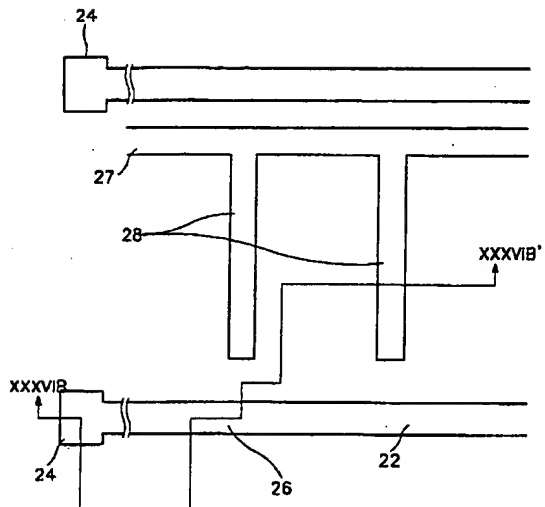
【図56】



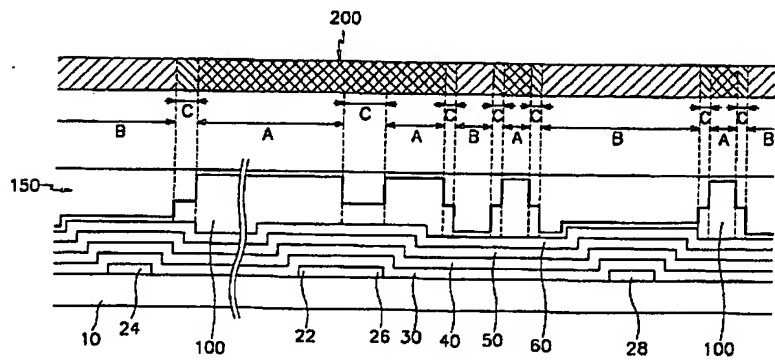
【图 5 2】



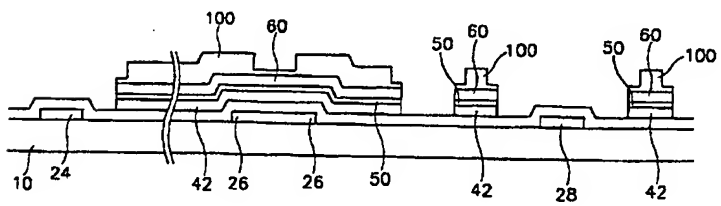
【图 5 8】



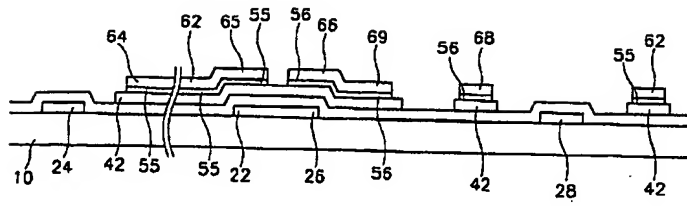
【图 5 3】



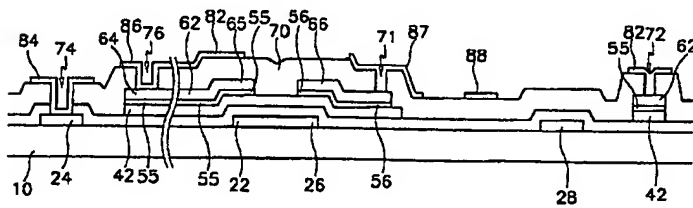
【图 5 4】



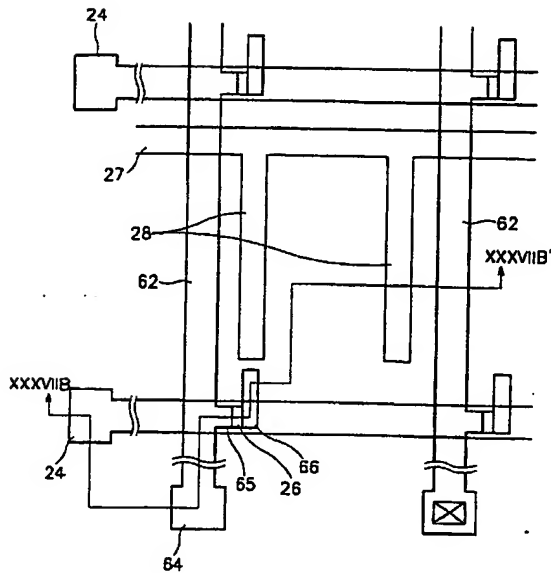
【図55】



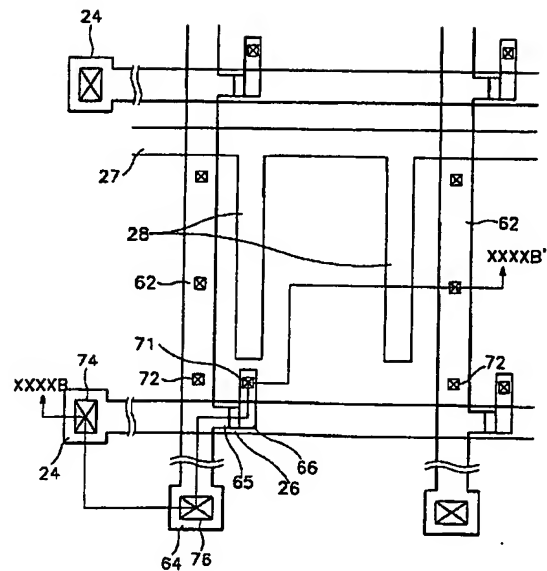
【図57】



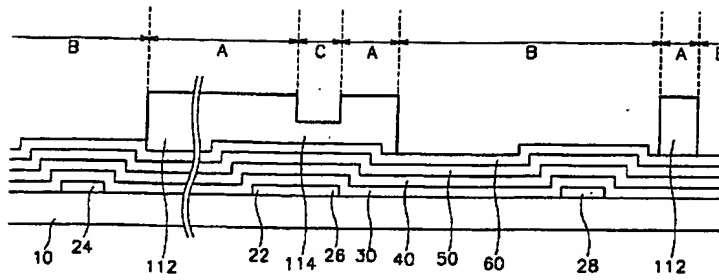
【図60】



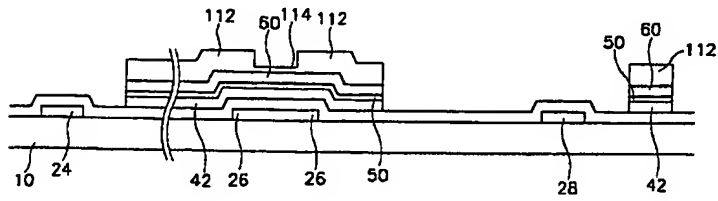
【図64】



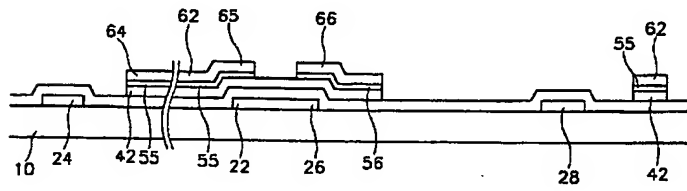
【图61】



【图62】



【图63】



【图65】

